

(51)Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 B
	3 1 1		3 1 1 S
	3 2 1		3 2 1 Y

審査請求 有 予備審査請求 有 (全 74 頁)

(21)出願番号 特願平9-514547
 (86)(22)出願日 平成8年(1996)5月28日
 (85)翻訳文提出日 平成9年(1997)11月20日
 (86)国際出願番号 P C T / U S 9 6 / 0 8 3 2 8
 (87)国際公開番号 W O 9 7 / 1 6 8 6 6
 (87)国際公開日 平成9年(1997)5月9日
 (31)優先権主張番号 0 8 / 4 5 2 , 2 5 5
 (32)優先日 1995年5月26日
 (33)優先権主張国 米国 (U S)
 (31)優先権主張番号 0 8 / 5 2 6 , 2 4 6
 (32)優先日 1995年9月21日
 (33)優先権主張国 米国 (U S)

(71)出願人 フォームファクター, インコーポレイテッド
 アメリカ合衆国カリフォルニア州94550
 リズモア, リサーチ・ドライブ・2130
 (72)発明者 ハンドロス, イゴー, ワイ
 アメリカ合衆国カリフォルニア州94563,
 オリンダ, ハシエンダス・ロード・25
 (72)発明者 チャン, サン, チュル
 アメリカ合衆国カリフォルニア州95367,
 リバーバンク, アロウウッド・ドライブ・
 6706
 (74)代理人 弁理士 古谷 馨 (外2名)

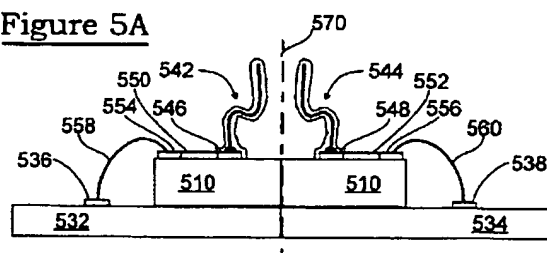
最終頁に続く

(54)【発明の名称】 半導体素子にばね接触子を実装するチップ相互接続キャリア及び方法

(57)【要約】

複数の自立型ばね要素(512)が、キャリア基板(510)の表面(510a)に実装される。キャリア基板(510)は、半導体素子(502)の表面(502a)に実装される。半導体素子の接着パッド(504)が、接着パッド(504)とばね要素に関連した端子(516)との間で延伸するボンディングワイヤ(520)により、ばね要素(512)に接続される。代替として、キャリアは、半導体素子にフリップチップ式でリフロー半田づけされる。キャリア基板(510)は、半導体素子が形成される半導体ウェーハから半導体素子が単一化される前に、1つ以上の半導体素子(532、534)に適切に実装される。半導体素子(502)に圧力接続をもたらす復元性及び従順性が、キャリア基板(510)自体から延伸するばね要素(512)により得られる。よって、キャリア基板(510)は、半導体素子(502)に対して適切に堅固なままである。キャリア基板(510)は、半導体素子にキャリア基板を実装する前に、キャリア基板にばね要素(512)を実装することによって、有利に予め製造される。

Figure 5A



【特許請求の範囲】

1. 1つの表面を有する半導体ダイと、該半導体ダイの前記表面上の端子を備えた半導体素子アセンブリにおいて、
前記半導体ダイの前記表面に実装されたキャリア基板と、
該キャリア基板の表面から延伸する自立型ばね要素と、
該ばね要素と前記端子の間の接続部と、
からなることを特徴とする半導体素子アセンブリ。
2. 前記接続部はボンディングワイヤであることを特徴とする、請求項1に記載の半導体素子アセンブリ。
3. 前記接続部は半田連結部であることを特徴とする、請求項1に記載の半導体素子アセンブリ。
4. 前記キャリア基板はリードフレームであり、前記ばね要素は、該リードフレームのリードに実装されることを特徴とする、請求項1に記載の半導体素子アセンブリ。
5. 前記キャリア基板は、絶縁層と、該絶縁層上の導電ラインとからなり、前記ばね要素は、該導電ラインに実装されることを特徴とする、請求項1に記載の半導体素子アセンブリ。
6. 単一のキャリア基板が、少なくとも2つの半導体ダイの表面に実装されることを特徴とする、請求項1に記載の半導体素子アセンブリ。
7. 前記少なくとも2つの半導体ダイは、ウェーハ上の単一化されていないダイであることを特徴とする、請求項6に記載の半導体素子アセンブリ。

8. 前記半導体ダイの表面を覆い、前記キャリア基板を覆い、また前記接続部を覆う封止材からなることを特徴とする、請求項1に記載の半導体素子アセンブリ。

9. 前記キャリア基板は、少なくとも1つの絶縁層により分離された少なくとも2つの導電層を含むことを特徴とする、請求項1に記載の半導体素子アセンブリ。

10. 前記ばね要素は、複合相互接続要素であることを特徴とする、請求項1に

記載の半導体素子アセンブリ。

- 1 1. 半導体アセンブリにおいて、
表面上に接着パッドを有する半導体ダイと、
該半導体ダイの前記表面に実装され、表面上に端子を有するキャリア基板と、
前記接着パッドを前記端子に接続するボンディングワイヤと、
前記半導体ダイの表面から離れて、前記端子から延伸するばね要素と、
からなる半導体アセンブリ。
- 1 2. 前記ばね要素は、複合相互接続要素である、請求項 1 1 に記載の半導体アセンブリ。
- 1 3. 前記キャリア基板の表面には、第 1 の複数の端子と、第 2 の複数の端子があり、
前記ばね要素は、前記第 1 の複数の端子から延伸し、
前記ボンディングワイヤは、前記第 2 の複数の端子に接続され、前記半導体アセンブリは更に、

前記第 1 の複数の端子と前記第 2 の複数の端子を接続する前記キャリア基板の表面上の複数の導電ラインからなる、請求項 1 1 に記載の半導体アセンブリ

。

- 1 4. 前記キャリア基板は、少なくとも 2 つの隣接した単一化されない半導体ダイにまたがる、請求項 1 1 に記載の半導体アセンブリ。
- 1 5. 前記ばね要素は、前記ボンディングワイヤに連続するコアワイヤシステムを有する、請求項 1 1 に記載の半導体アセンブリ。
- 1 6. 半導体アセンブリにおいて、
表面上に接着パッドを有する半導体ダイと、
該半導体ダイの前記表面に実装され、表面上に端子を有するキャリア基板と、
前記接着パッドと前記端子の間で延伸し、前記半導体ダイの表面から離れて、前記キャリア基板の表面から、自立型ワイヤシステムとして連続して更に延伸

するボンディングワイヤと、

少なくとも前記自立型ワイヤシステムに保護膜生成する導電材料の少なくとも1つの層と、

からなる半導体アセンブリ。

17. 前記半導体ダイの表面にわたって配設され、前記キャリア基板に隣接した保護膜付きワイヤシステムの一部へと延伸する封止材から更になる、請求項16に記載の半導体アセンブリ。

18. 前記キャリア基板は、少なくとも2つの隣接した単一化されない半導体ダイにまたがる、請求項16に記載の半導体アセン

ブリ。

19. リードフレームにおいて、

接着パッドを有する半導体ダイの表面にわたって、使用時に延伸する複数のリードフレームフィンガを有するリードフレームと、

前記リードフレームフィンガに実装され、そこから自立式に延伸するばね要素と、

からなるリードフレーム。

20. 前記ばね要素は、複合相互接続要素である、請求項19に記載のリードフレーム。

21. チップ相互接続キャリアにおいて、

上部表面を有し、絶縁層と少なくとも2つのパターン化導電層の交互層を含む多層基板であって、前記絶縁層のうちの少なくとも1つは、前記導電層のうちの対応する少なくとも1つに重なり合うような多層基板と、

任意の重なり合う絶縁層又は導電層を介して、前記上部表面からアクセス可能である重なり合う絶縁層を有する導電層の第1の選択領域と、

前記パターン化導電層から前記上部表面の上へと延伸するばね接触子であって、それらのばね要素が、それら導電層の前記第1の選択領域から延伸する重なり合う絶縁領域を有する導電層から延伸するようばね接触子と、

電子コンポーネントに相互接続するために、露出される重なり

- り合う絶縁層を有する導電層の第2の選択領域と、
からなるチップ相互接続キャリア。
22. 前記相互接続はボンディングワイヤである、請求項21に記載のチップ相互接続キャリア。
23. 前記電子コンポーネントは半導体ダイであり、
前記第1の導電層の導電ラインの1つの端部と、
前記第2の導電層の導電ラインの1つの端部から延伸する第2の複数のばね要素とからなる、請求項21に記載のチップ相互接続キャリア。
24. 前記ばね接触子は複合相互接続要素である、請求項21に記載のチップ相互接続キャリア。
25. 半導体ダイに復元性のある接触構造を実装する方法において、
キャリア基板の表面上に、複数の自立型ばね要素を製造するステップと、
少なくとも1つの半導体ダイの表面上に、前記キャリア基板を配設するステップと、
ボンディングワイヤにより、前記少なくとも1つの半導体ダイに前記自立型ばね要素を配線するステップと、
を含む方法。
26. 前記ばね要素は複合相互接続要素である、請求項25に記載の方法。
27. 前記キャリア基板は絶縁基板である、請求項25に記載の方法。

28. 前記ボンディングワイヤは前記ばね要素に連続する、請求項25に記載の方法。
29. 前記キャリア基板はリードフレームである、請求項25に記載の方法。
30. 前記キャリア基板は多層基板である、請求項25に記載の方法。
31. 前記キャリア基板は、半導体ダイのエッジの上に重なることなく、半導体ダイの頂部に定置するよう寸法決めされる、請求項25に記載の方法。
32. 半導体チップアセンブリにおいて、
基板であって、その第1の表面上の第1の端子から、その第2の表面上の第2の端子へと貫通するパイヤを有する基板と、

- 前記一方の表面上の端子に実装されるばね要素と、
前記第2の表面に実装され、対向した側の前記第2の端子に電気的に接続される半導体ダイと、
からなる半導体チップアセンブリ。
33. 前記半導体ダイと前記キャリア基板のエッジとを覆う封止材から更になる、請求項32に記載の半導体チップアセンブリ。
34. チップ相互接続キャリアにおいて、
基板と、
該基板の一方の表面から延伸する複数の自立型ばね要素と、
該ばね要素を電子コンポーネントに接続する手段と、
からなるチップ相互接続キャリア。
35. 前記接続手段は、ボンディングワイヤを接着可能な端子である、請求項34に記載のチップ相互接続キャリア。
36. 前記接続手段は、半田接続を行うことができる端子である、請求項34に記載のチップ相互接続キャリア。
37. 前記電子コンポーネントは、少なくとも1つの半導体ダイである、請求項34に記載のチップ相互接続キャリア。
38. ばね接触キャリアにおいて、
基板であって、その第1の表面上の第1の端子から、その第2の表面上の第2の端子へと貫通するパイヤを有する基板と、
前記一方の表面上の端子に実装されるばね接触子と、
からなるばね接触キャリア。
39. 前記ばね接触子は複合相互接続要素である、請求項38に記載のばね接触キャリア。
40. 前記ばね接触子はモノリシック相互接続要素である、請求項38に記載のばね接触キャリア。
41. 半導体素子の1つの表面上に自立型接触子設ける方法において、
少なくとも1つのタイル基板の一方の表面に、自立型ばね接触子を実装す

るステップと、

前記少なくとも1つのタイル基板を、前記半導体素子の表面に連結接続するステップと、

を含むことを特徴とする方法。

42. 前記半導体素子は、半導体ウェーハ上に載っていることを特

徴とする、請求項41に記載の方法。

43. 前記タイルは、半田付けにより、前記半導体素子に連結されることを特徴とする、請求項41に記載の方法。

【発明の詳細な説明】

半導体素子にばね接触子を実装するチップ相互接続キャリア及び方法

発明の技術分野

本発明は、電子コンポーネント間で一時的な圧力接続をなすことに関し、更に詳細には、半導体素子に復元性のある接触構造（ばね接触子）を実装するための技法に関する。

関連出願に対する相互参照

本願は、同一出願人による1995年5月26日に出願された米国特許同時係属出願第08/452,255号（以後、「親事例」と呼ぶ）、及び1995年11月13日に出願されたその対応PCT特許出願番号PCT/US95/14909の一部継続出願であり、その両方は、同一出願人による1994年11月15日に出願された米国特許同時係属出願第08/340,144号、及び1994年11月16日に出願されたその対応PCT特許出願番号PCT/US94/13373（WO 95/14314 として1995年5月26日に公告）の一部継続出願であり、それらは両方とも、同一出願による1993年11月16日に出願された米国特許同時係属出願第08/152,812号（現在では、1995年12月19日に認可された米国特許第5,476,211号）の一部継続出願である。それらの全てを、参照として本明細書に取り込む。

本願は又、同一出願人による、以下の米国特許同時係属出願の一部継続出願でもある。すなわち、

1995年9月21日に出願された第08/526,246号（1995年

11月13日に出願されたPCT/US95/14843）、

1995年10月18日に出願された第08/533,584号（1995年11月13日に出願されたPCT/US95/14842）、

1995年11月9日に出願された第08/554,902号（1995年11月13日に出願されたPCT/US95/14844）、

1995年11月15日に出願された第08/558,332号（1995年11月15日に出願されたPCT/US95/14885）、

1995年12月18日に出願された第08/573,945号、

1996年1月11日出願された第08/584,981号、
1996年2月15日出願された第08/602,179号、
1996年2月21日出願された第60/012,027号、
1996年2月22日出願された第60/012,040号、
1996年3月5日出願された第60/012,878号、
1996年3月11日出願された第60/013,247号、及び
1996年5月17日出願された第60/005,189号である。これらの全ては、
上述の親事例の一部継続出願であり、それらの全てを、参照として本明細書に取り込む。

発明の背景

個々の半導体（集積回路）素子（ダイ）は通常、ホトリソグラフィ、堆積、その他の既知の技法を用いて、半導体ウェーハ上に幾つかの同一素子を作り出すことにより製造される。一般に、これらの工程は、半導体ウェーハから個々のダイを単一化（切断）する前に、完全に機能する複数の集積回路素子を作り出すことを目的とするも

のである。

一般に、半導体ダイ（素子）をウェーハから単一化した後、それらは実装される（最終アセンブリ）。半導体ダイを他のコンポーネントに取り付けるために、各種の技法が知られており、それらには、（a）ワイヤボンディング、（b）テープ自動化ボンディング（TAB）、及び（c）フリップチップ・ボンディングが含まれる。

ウェーハ上の複数のダイのうちどれが良いダイであるかを、それらの実装の前に、好適には、それらがウェーハから単一化される前に識別できることが一般に望ましい。この目的のために、ウェーハ「試験装置」又は「プローブ装置」を有利に用いて、複数の離散的な圧力接統が、ダイ上の同様に複数の離散的な接統パッド（接着パッド）に対してなされる。このようにして、半導体ダイを、ウェーハからダイを単一化する前に、動作（試験及びエージング）させることが可能となる。

一般に、電子コンポーネント間の相互接続は、「相対的に永久な」及び「即座に取り外し可能な」相互接続という2つの広義のカテゴリーに分類できる。

「相対的に永久な」接続の一例として、半田接合がある。一旦2つのコンポーネントが互いに半田付けされると、それらコンポーネントを分離するのに、半田除去工程を用いる必要がある。ワイヤ接着は、「相対的に永久な」接続の他の例である。

「即座に取り外し可能な」接続の一例として、1つの電子コンポーネントの堅固なピンがあり、他の電子コンポーネントの弾力のあ

るソケット要素によって受容される。ソケット要素は、ピンに対して、それらの間の信頼のある電気接続を保証するのに十分な大きさの接触力（圧力）を及ぼす。

電子コンポーネントの端子と圧力接触をなすことを目的とした相互接続要素は、本明細書において、「ばね」又は「ばね要素」と呼ぶ。一般に、いくらかの最小接触力が、電子コンポーネントに（例えば、電子コンポーネント上の端子に）信頼性の良い圧力接触をもたらすのに望まれる。例えば、約15グラム（接触当たり少なくても2グラム以下、且つ多くて150グラム以上を含む）の接触（荷重）力が、表面上に膜で汚染され、また表面上に腐蝕、又は酸化生成物を有する、電子コンポーネントの端子に信頼性良く電気接続をなすことを保証するのに望まれる。各ばねに必要な最小接触力には、ばね材料の降伏強度、又はばね要素の寸法のどちらかを増大させることが必要とされる。一般的な提案として、材料の降伏強度が高くなるほど、加工（例えば、打ち抜き、曲げ等）するのが益々困難になる。そして、ばねを更に小さく製作したいという望みによって、それらの断面を更に大きく製作することが本質的に不可能になる。

特に素子をプローブ探査するために、半導体素子に信頼性の良い圧力接触をもたらすには、幾つかのパラメータを問題にする必要があり、これらには、限定ではないが、位置合わせ、プローブ力、オーバードライブ、接触力、均衡した接触力、洗浄、接触抵抗、及び平坦化が含まれる。これらパラメータの一般的な議論は、「高密度プローブカード(HIGH DENSITY PROBE CARD)」と題する米国特許第

4, 837, 622 号に見出すことができ、これを参照として本明細書に取り込む

以下の米国特許を参照として本明細書に取り込むが、これらには、電子コンポーネントに対して、面对向接続、特に圧力接続をなすことを一般的な問題として言及している。それら米国特許は、米国特許第5, 386, 344 号（「FLEX CIRCUIT CARD ELASTOMERIC CABLE CONNECTOR ASSEMBLY」）、同第5, 336, 380 号（「SPRING BIASED TAPERED CONTACT ELEMENTS FOR ELECTRICAL CONNECTORS AND INTEGRATED CIRCUIT PACKAGES」）、同第5, 317, 479 号（「PLATED COMPLIANT LEAD」）、同第5, 086, 337 号（「CONNECTING STRUCTURE OF ELECTRONIC PART AND ELECTRONIC DEVICE USING THE STRUCTURE」）、同第5, 067, 007 号（「SEMICONDUCTOR DEVICE HAVING LEADS FOR MOUNTING TO A SURFACE OF A PRINTED CIRCUIT BOARD」）、同第4, 989, 069 号（「SEMICONDUCTOR PACKAGE HAVING LEADS THAT BREAK-AWAY FROM SUPPORTS」）、同第4, 893, 172 号（「CONNECTING STRUCTURE FOR ELECTRONIC PART AND METHOD OF MANUFACTURING THE SAME」）、同第4, 793, 814 号（「ELECTRICAL CIRCUIT BOARD INTERCONNECT」）、同第4, 777, 564 号（「LEADFRAME FOR USE WITH SURFACE MOUNTED COMPONENTS」）、同第4, 764, 848 号（「SURFACE MOUNTED ARRAY STRAIN RELIEF DEVICE」）、同第4, 667, 219 号（「SEMICONDUCTOR CHIP INTERFACE」）、同第4, 642, 889 号（「COMPLIANT INTERCONNECTION AND METHOD THEREFOR」）、同第4, 330, 165 号（「PRESS-CONTACT TYPE INTERCONNECTORS」）、同第4, 295, 700 号（「INTERCONNE

CTORS」）、同第4, 067, 104 号（「METHOD OF FABRICATING AN ARRAY OF FLEXIBLE METALLIC INTERCONNECTS FOR COUPLING MICROELECTRONICS COMPONENTS」）、同第3, 795, 037 号（「ELECTRICAL CONNECTOR DEVICE」）、同第3, 616, 532 号（「MULTILAYER PRINTED CIRCUIT ELECTRICAL INTERCONNECTION DEVICE」）、及び同第3, 509, 270 号（「INTERCONNECTION FOR PRINTED CIRCUITS AND METHOD OF MAKING SAME」）である。

半導体素子自体に圧力接触をもたらすための機構を設けることは有利であろう。半導体チップアセンブリに半導体ダイ（チップ）の表面から離して偏倚させた端子を設けるために、限られた数の技法が、従来技術において提案されている。

「SEMICONDUCTOR CHIP ASSEMBLIES AND COMPONENTS WITH PRESSURE CONTACT」と称する米国特許第5,414,298号には、かかるアセンブリが、極端に小型化とすることが可能であり、また、チップ自体の面積より僅かに大きな面積しか占めない旨の開示がある。

発明の簡単な説明（摘要）

本発明の1つの目的は、半導体素子に復元性のある接触構造（ばね接触子）を実装するための1つの技法を提供することにある。

本発明の他の目的は、半導体ダイのプロープ探索を、それらが半導体ウェーハから単一化（分離）される前に行うための1つの技法を提供することであり、必要不可欠な復元性、及び／又は従順性要素（すなわち、ばね要素）が、プロープカードにそこから延伸する復元性のある接触構造を設ける必要なく、半導体ダイ上に定置して

いる。

本発明の他の目的は、改良されたばね接触要素（復元性のある接触構造）を提供することであり、その複数は、半導体素子上に実装可能である。

本発明の他の目的は、電子コンポーネントに圧力接触を行うのに適した相互接続要素を提供することにある。

本発明の他の目的は、同じ相互接続構造を用いて、半導体ダイ等の電子コンポーネントに一時的と永久的な接続の両方を行うための1つの技法を提供することにある。

本発明の他の目的は、ダイがウェーハから単一化される前か、ダイがウェーハから単一化された後のいずれかで、ダイのエージング及び試験を実行するために、ダイに一時的な相互接続を行うための1つの技法を提供することにある。

本発明によれば、本来的に復元性のある複数の接触構造（ばね要素）が、キャリア基板に実装され、該キャリア基板は、半導体素子に実装され、ばね要素は、ボンディングワイヤ等により、半導体素子上の接着パッドのうちの対応するパッドに接続される。ばね要素は、それ自体で、他の媒介を必要とすることなく、所望の復元性を与える。キャリア基板は、それが実装される電子コンポーネント（

例えば、半導体素子) に対して固定されたままであり、換言すると、キャリア基板は、半導体素子に復元性無く実装される。好適には、キャリア基板は堅固である。

本発明の代替実施例の場合、ばね要素は、リードフレームのリー

ドに装着され、リードフレームは、ばね接触キャリアとして機能する。半導体素子にキャリア基板(リードフレームのリードを備えた)上のばね要素を設ける利点の中には、以下の利点がある。

(a) 半導体素子に直接ばね接触子を実装するのではなく、キャリア基板上にばね接触子を予め製造することにより、利用可能な(「良好な」)ばね接触子を製造及び生産することに関連したどんな問題も、半導体素子进行处理する前に一目瞭然となる。

(b) ばね接触子は、試験ボードに信頼性良く一時的な接触を行うことが可能であり、これは、通常の印刷回路基板と同じく単純で簡単明瞭である。

(c) 同じ復元性のある接触構造が、ばねクリップその他により適所に保持される場合、回路基板に信頼性の良い圧力接続を行うことができる。

(d) 同じ復元性のある接触構造が、半田付け等により、回路基板に信頼性の良い永久接続を行うことができる。

本発明の1つの態様によれば、ばね接触要素が、半導体ダイ等の電子コンポーネントに、一時的接続と永久的接続の両方として、「二重の役割」を果たすことができる。

好適には、ばね接触要素のキャリアは、半導体ダイか半導体ウェーハから単一化(分離)される前に、半導体ダイに実装される。このようにして、複数の圧力接触を、半導体素子その他に電源投入する「簡単な」試験ボードを用いて、1つ以上の単一化されていない半導体ダイ(素子)に行うことができる。

本明細書に用いるような、「簡単な」試験ボードとは、その表面から延伸する複数のプローブ要素を有する基板である従来の「プローブカード」とは対照的に、複数の端子又は電極を有する基板のことである。簡単な試験ボードは安価で

あり、従来のプローブカードよりも容易に構成される。更に、従来のプローブカードに付きものの幾つかの物理的制約は、簡単な試験ボードを用いて、本発明の半導体素子アセンブリにより所望の圧力接触を行った場合には生じない。このようにして、複数の単一化されていない半導体ダイが、その半導体ダイをウェーハから単一化（分離）する前に、動作（試験及び／又はエージング）可能である。

本発明の1つの態様によれば、半導体ダイに実装され、また半導体ダイを動作させるのに用いられる同じばね接触要素を用いて、半導体ダイがウェーハから単一化された後に、半導体ダイに永久的接続又は圧力接続を行うことが可能になる。

本発明の1つの態様によれば、ばね接触要素は、キャリア基板の端子上に直接製造される「複合相互接続要素」として好適に形成される。「複合」（多層）相互接続要素は、ワイヤ（ワイヤシステム）又はリボンとすることができる伸長コア要素を、ばね形状を有するように成形し、コア要素に保護膜を施して、キャリア基板の端子上に実装することにより製造され、結果としての複合相互接続要素の物理的特性が向上し、及び／又はその複合相互接続要素がキャリア基板に確実に固定される。

「複合」という用語の使用は、本明細書に記載した説明を通じて、

用語（例えば、2つ以上の要素から形成される）の「総称的な」意味に一致しており、例えば、ガラス、カーボン、又は樹脂その他の基材に支持される他の繊維等の材料に施されるような試みの他の分野における「複合」という用語の如何なる使用法とも混同すべきではない。

本明細書で使用する「ばね形状」という用語は、先端に加えられる力に対して、伸長要素の端部（先端）の弾性（復元）運動を呈示する、伸長要素の事実上の任意の形状を言う。これには、1つ以上の湾曲部を有するように成形された伸長要素だけでなく、実質的に真っ直ぐな伸長要素も含まれる。

本明細書で使用する「接触領域」、「端子」、「パッド」及び類似の用語は、相互接続要素が実装される、又は接触をなす任意の電子コンポーネント上の任意

の導電領域を言う。

通常、複合相互接続要素（ばね要素）のコアは、コアの一端が、キャリア基板上に１つの端子に実装された後に成形される。

代替として、コア要素は、電子コンポーネントに実装する前に成形される。

代替として、コア要素は、電子コンポーネントではない犠牲基板の一部に実装されるか、又は犠牲基板の一部である。犠牲基板は、成形後、且つ保護膜生成の前か後のどちらかで除去される。本発明の１つの態様によれば、各種の構造的特徴を有する先端が、相互接続要素の接触端に配設できる。（親事例の図１１Ａ－１１Ｆも参照されたい。）

本発明の１つの実施例の場合、コアは、比較的低い降伏強度を有する「軟質」材料であり、比較的高い降伏強度を有する「硬質」材料で保護膜生成される。例えば、金ワイヤ等の軟質材料が、半導体素子の接着パッドに、（例えば、ワイヤボンディングにより）取り付けられて、ニッケル及びその合金等の硬質材料で、（例えば、電気化学メッキにより）保護膜生成される。

コアの面对向保護膜、単一及び多層保護膜、微細突出部を有する「粗い」保護膜（親事例の図５Ｃ及び５Ｄも参照されたい）、及びコアの全長、又はコア長の一部のみに延伸する保護膜が記載されている。後者の場合、コアの先端は、電子コンポーネントに接触させるために適切に露出される（親事例の図５Ｂも参照されたい）。

一般に、本明細書に記載した説明を通じて、「メッキ」という用語は、コア要素に保護膜を生成するための多数の技法の一例として用いられる。本発明の範囲内にあるのは、限定ではないが、水溶液からの材料の堆積を伴う各種工程と、電解メッキと、無電解メッキと、化学気相成長法（ＣＶＤ）と、物理気相成長法（ＰＶＤ）と、液体又は固体先行物質の誘導変遷を通して、材料の堆積を生じせしめる工程と、その他を含む任意の適切な技法によって、コア要素に保護膜生成することができることであり、材料を堆積するためのこれら技法の全ては、一般に周知のところである。

一般に、ニッケル等の金属性材料で保護膜生成するために、電気化学的工程が

好適であり、特に電解メッキが好ましい。

本発明の他の実施例の場合、ばね要素は、復元性のある接触構造

として機能するのに本質的に適した、「硬質」材料の伸長要素である（すなわち、成就値の複合相互接続要素の場合のように、保護膜のない）。かかる「モノリシック」ばね要素は、保護膜が施されて、その電気的な接触特性が向上し、及び／又はばね要素が、それが実装される端子に（上述の複合相互接続要素と同様に）確実に固定される。保護膜を施して固定する場合に、唯一必要なのは、

端子の軟質部分へのばね要素の一端の半田付け、貼り付け、及び突き刺し等により、ばね要素を端子に「仮留め」することである。本発明の範囲内には、複数の硬質ばね要素を、後続の電子コンポーネントへの転送のために、犠牲基板に実装することがある。

好適には、コアはワイヤの形態をとる。代替として、コアは平坦なタブ（導電性金属リボン）、又はある材料の伸長リボンである。

コア及び保護膜の両方に対して代表的な材料が開示される。

以降では主に、一般的に非常に小さな寸法（例えば、3.0ミル以下）である比較的軟質の（低降伏強度）コアで開始することを伴う技法を説明する。半導体素子の金属化に容易に付着する金等の軟質材料は、一般に、ばねとして機能するのに十分な復元性が無い。（かかる軟質の金属性材料は、弾性変形ではなく、主に可塑性変形を呈示する。）半導体素子に容易に付着し、また適切な復元性を持つ他の軟質材料は、非導電性であることが多く、これは、大部分の弾性材料の場合にそうである。いずれの場合でも、所望の構造的、及び電気的特性が、コアにわたって施される保護膜により、結果としての複合相互接続要素に付与できる。結果としての複合相互接続

要素は、非常に小さく製作でき、更に、適切な接触力も呈示し得る。更に、複数のかかる複合相互接続要素は、それらが、隣接する複合相互接続要素に対する距離（隣接する相互接続要素間の距離は、「ピッチ」と呼ばれる）よりもかなり大きな長さ（例えば、100ミル）を有するとしても、微細ピッチ（例えば、10

ミル)で配列できる。

本発明の複合相互接続要素は、優れた電気的特性を呈示し、これには、導電率、半田付け性、及び低い接触抵抗が含まれる。多くの場合、加えられる接触力に応答した相互接続要素の偏向は、結果として「拭い」接触となり、これは、信頼性の良い接触をなすのを保証するのに役立つ。

本発明の追加の利点は、本発明の相互接続要素となされる接続が、容易に取り外し可能である点にある。電子コンポーネントの端子に相互接続をもたらす半田付けは、任意であるが、一般にシステムレベルでは好ましくない。

本発明の1つの態様によれば、制御されるインピーダンスを有する相互接続要素を製作するための方法が記載される。これらの技法には、一般に、誘電体材料(絶縁層)で導電コア、又は複合相互接続要素全体を被覆し(例えば、電気泳動的に)、導電材料の外部層で誘電体材料に保護膜生成することが伴う。外部の導電材料層を接地することにより、結果としての相互接続要素は効果的に遮蔽することができ、そのインピーダンスは容易に制御可能となる。(親事例の図10Kも参照されたい。)

本発明の1つの態様によれば、相互接続要素は、電子コンポーネントへの後での取り付けのために、予め製造することができる。この目的を達成するための各種の技法が、本明細書に記載されている。本書類では特定の保護されていないが、複数の個々の相互接続要素の基板への実装、又は代替として、エラストマーにおいて、又は支持基板上で複数の個々の相互接続要素の懸架を扱う機械を製造することも比較的簡単明瞭であると考えられる。

明確に理解されたいのは、本発明の複合相互接続要素は、その導電特性を強化する、又はその腐食耐性を強化するために被覆されていた、従来技術の相互接続要素とは劇的に異なるということである。

本発明の保護膜は、電子コンポーネントの端子への相互接続要素の締結を実質的に強化する、及び/又は結果としての複合相互接続要素に、所望の復元特性を付与することを特定の意図するものである。このようにして、応力(接触力)は、応力を吸収することを特定の意図する、相互接続要素の部分に向けられる

。また認識されたいのは、本発明は、ばね接触子を製作するための本質的に新規な技法を提供するということである。一般に、結果としてのばねの動作構造は、曲げ及び成形の生成物ではなく、メッキの生成物である。これによって、ばね形状を確立する広範な材料、及びコアの「足場」を電子コンポーネントに取り付けるための各種の「易しい」工程の利用に対して扉が開かれる。保護膜は、コアの「足場」にわたった「超構造」として機能し、その用語の両方が、土木工学の分野にそれらの原点を有する。

本発明の特異な利点は、自立ばね接触子（ばね要素）を、ロウ付け又は半田付け等の追加の易しくない技法を要することなく、脆弱な半導体素子上に実装可能な点にある。

本発明の1つの態様によれば、復元性のある接触構造のうちのいずれかを、少なくとも2つの複合相互接続要素として形成することができる。

本発明の恩恵の中には、以下のことがある。

（a）複合相互接続要素（はね接触子）は、全て金属性であり、エージングが、高温で従って短時間で実行可能となる。

（b）複合相互接続要素は、自立型であり、一般に、半導体素子の接着パッドレイアウトによって制限を受けない。

（c）本発明の複合相互接続要素は、それらの先端が、ベースよりも大きなピッチ（間隔）となるように仕立てることができ、それによって、半導体ピッチ（例えば、10ミル）から配線基板ピッチ（例えば、100ミル）までピッチを拡張する工程が、直ちに（第1レベル相互接続で）開始され、また容易になる。

本発明の他の目的、特徴、及び利点は、本発明の以下の説明に鑑みて明らかとなろう。

図面の簡単な説明

参照は、本発明の好適な実施例に対して詳細になされ、その例は、添付図面に示されている。これらの好適な実施例に関連して本発明を説明するが、理解されたいのは、本発明の精神、及び範囲をこれら特定の実施例に限定することを意図

しない、ということである。

本明細書に提示される側面図において、図示の明瞭化のために、側面図のかなりの部分を断面で提示している。例えば、図面の多くで、ワイヤシステムは、太線で完全に示されるが、保護膜は、本当の断面で示されている（網かけのないことが多い）。

本明細書に提示される図面において、図示の明瞭化のために、幾つかの要素のサイズが誇張してある（図面の他の要素に面対向して、縮尺が合っていない）ことが多い。

図 1 A は、本発明の 1 つの実施例に従った、複合相互接続要素の一端を含めた長手部分の断面図である。

図 1 B は、本発明の他の実施例に従った、複合相互接続要素の一端を含めた長手部分の断面図である。

図 1 C は、本発明の他の実施例に従った、複合相互接続要素の一端を含めた長手部分の断面図である。

図 1 D は、本発明の他の実施例に従った、複合相互接続要素の一端を含めた長手部分の断面図である。

図 1 E は、本発明の他の実施例に従った、複合相互接続要素の一端を含めた長手部分の断面図である。

図 2 A は、本発明に従って、電子コンポーネントの端子に実装されて、多層化シェルを有する複合相互接続要素の断面図である。

図 2 B は、本発明に従って、中間層が誘電体材料製である、多層化シェルを有する複合相互接続要素の断面図である。

図 2 C は、本発明に従って、電子コンポーネント（例えば、プローブカード挿入）に実装される、複数の複合相互接続要素の斜視図

である。

図 2 D は、本発明に従って、複合相互接続要素を製造するための技法の例示的な第 1 ステップの断面図である。

図 2 E は、本発明に従って、相互接続要素を製造するための図 2 D の技法の例示的な更なるステップの断面図である。

図 2 F は、本発明に従って、相互接続要素を製造するための図 2 E の技法の例示的な更なるステップの断面図である。

図 2 G は、本発明に従った、図 2 D - 2 F の技法に従って製造された例示的な複数の個々の相互接続要素の断面図である。

図 2 H は、本発明に従った、図 2 D - 2 F の技法に従って製造されて、互いに規定の空間関係に関連した、例示的な複数の相互接続要素の断面図である。

図 2 I は、本発明に従って、相互接続要素を製造するための代替実施例の断面図であり、1 つの相互接続要素の 1 つの端部を示す。

図 3 A は、本発明に従った、ホトレジスト層の開口を介して、基板に施された金属層に接着された自由端を有するワイヤの側面図である。

図 3 B は、本発明に従った、保護膜生成されたワイヤを備えた、図 3 A の基板の側面図である。

図 3 C は、本発明に従った、ホトレジスト層が除去され、また金属層が部分的に除去された、図 3 B の基板の側面図である。

図 3 D は、本発明に従った、図 3 A - 3 C に記載の技法に従って形成された半導体素子の斜視図である。

図 4 は、従来技術の半導体素子の斜視図である。

図 5 は、本発明の 1 つの実施例に従った、半導体素子に実装されたばね要素を有するキャリア基板の側面図である。

図 5 A は、本発明の 1 つの実施例に従った、2 つの単一化されていない半導体ダイに実装されたばね要素を有するキャリア基板の側面図である。

図 5 B は、本発明の 1 つの実施例に従った、図 5 に示す型式のキャリア基板の側面図である。

図 6 は、本発明に従った、半導体ダイに実装されたばね要素を有するキャリア基板の代替実施例の側面図である。

図 6 A は、本発明に従った、図 6 のキャリア半導体アセンブリの側面図である

。 図 6 B は、本発明に従った、図 6 のキャリアアセンブリの代替実施例の側面図である。

図 7 A - 7 F は、本発明のキャリア基板の代替実施例の側部断面図である。

図 8 A は、本発明のチップスケール（チップ相互接続）キャリアの代替実施例の斜視図である。

図 8 B は、図 8 A のチップスケールキャリアの側部断面図である。

図 9 A は、本発明に従った、ばねキャリアの 1 つの実施例の部分的な側部断面図である。

図 9 B は、本発明に従った、複合リードフレームの部分的な斜視図である。

図 9 C は、本発明に従った、複合リードフレームの部分的な斜視図である。

図 10 は、本発明に従った、ばね要素キャリアの他の実施例の分解組立、側部断面図である。

図 11 は、本発明に従った、シリコン（半導体）ウェーハに実装されたばね要素キャリアの斜視図である。

発明の詳細な説明

本特許出願は、半導体素子を、それらが半導体ウェーハ上に定置している間に（すなわち、それらがウェーハから単一化される前に）試験（動作及びエージングの実行を含む）するために、及び／又は半導体素子と他の電子コンポーネント（印刷回路基板等の）との間に、圧力接続をもたらす等のために、半導体素子等の電子コンポーネントに、ばね接触子を設ける技法を目指すものである。

以下の説明から明らかとなるが、本技法には、半導体素子に取り付けられるキャリア基板上に、復元性のある接触構造を製造することと、半導体素子を試験するために、復元性のある接触構造に圧力接続を行うことと、半導体ダイがウェーハから単一化された後に、半導体ダイに接続するのに、同じ復元性のある接触構造を用いることが伴う。

好適には、復元性のある接触構造は、「複合相互接続要素」として実施され、これは例えば、1995年5月26日に出願され、参照として本明細書に取り込

む、上述した米国特許出願第08/452, 255号（「親事例」）の開示に記載されている。本特許出願は、図1A

ー1E、及び図2A-2Iの記載において、親事例に開示される技法の幾つかを要約するものである。

本発明を実施するための好適な技法の重要な態様は、（1）結果としての複合相互接続要素の機械的性質を確立し、及び／又は（2）相互接続要素が電子コンポーネントの1つの端子に実装される場合に、その端子に相互接続要素を確実に締結するために、「複合」相互接続要素が、コア（電子コンポーネントの端子に実装される）で開始し、次いで、適切な材料でコアに保護膜を生成することにより形成できる点にある。このようにして、弾性変形可能な形状へと容易に成形されて、電子コンポーネントの最も脆弱な部分にさえも容易に取り付けられる、軟質材料のコアで開始することにより、復元性のある相互接続要素（ばね要素）が製造できる。硬質材料からばね要素を形成し、容易には明白でなく、論証可能に直感的でない従来技術の技法を鑑みると、その軟質材料は、ばね要素の基底部を形成可能である。かかる「複合」相互接続要素は、一般に、本発明の実施例に用いるのに、好適な形態の復元性のある接触構造である。

図1A、1B、1C及び1Dは、本発明に従った、複合相互接続要素用の各種の形状を一般的に示す。

以降では主に、復元性を呈示する複合相互接続要素を説明する。しかし理解されたいのは、復元性のない複合相互接続要素も本発明の範囲内に入ることである。

更に、以降では主に、硬質（弾性）材料により保護膜生成される、軟質（容易に成形されて、使い勝手の良い工程により、電子コンポ

ーネントに固定しやすい）コアを有する、複合相互接続要素を説明する。しかし、コアを硬質材料とし得ることも本発明の範囲内にあり、保護膜は、主に、電子コンポーネントの端子に相互接続要素を確実に締結するように機能する。

図1Aにおいて、電気的な相互接続要素110には、「軟質」材料（例えば、

40,000psiよりも少ない降伏強度を有する材料)のコア112と、「硬質」材料(例えば、80,000psiよりも大きな降伏強度を有する材料)のシェル(保護膜)114とが含まれる。コア112は、概ね真っ直ぐな片持ち梁として成形(構成)される伸長要素であり、0.0005から0.0030インチ(0.001インチ=1ミル≒25ミクロン(μm))の直径を有するワイヤとすることができる。シェル114は、既に成形されたコア112にわたって、適切なメッキ工程(例えば、電気化学メッキ)等の任意の適切な工程により施される。

図1Aは、本発明の相互接続要素に対して恐らく最も簡単な形状と思われるスプリング形状、すなわち、その先端110bにおいて加えられる力「F」に対して、ある角度で配向された真っ直ぐな片持ち梁を示す。かかる力が、相互接続要素が圧力接触している電子コンポーネントの端子により加えられる場合、先端の下方への(図で見て)偏向により、明らかに結果として、先端が端子を横切って移動する、すなわち「拭い」運動となる。かかる拭い接触により、信頼性の良い接触が、相互接続要素と電子コンポーネントの接触端子との間でなされることが保証される。

その「硬質性」のおかげで、またその厚さ(0.00025から0.00500インチ)を制御することにより、シェル114は、相互接続要素110全体に対して、所望の復元性を付与する。このようにして、電子コンポーネント(不図示)間の復元性のある相互接続を、相互接続要素110の2つの端部110aと110bの間にもたらすことができる。(図1Aにおいて、参照番号110aは、相互接続要素110の一端を示し、端部110bに対向した実際の端部は示されていない。)電子コンポーネントの端子に接触する際に、相互接続要素110は、「F」で表記される矢印で示されるような、接触力(圧力)を受けることになる。

一般に好適なのは、保護膜(単層か、又は多層保護膜のいずれか)の厚さが、保護膜を施そうとするワイヤの直径よりも厚いことである。結果としての接触構造の全体の厚さが、コアの厚さに、保護膜の2倍の厚さを加えた総和であるとい

う事実を前提として、コアと同じ厚さ（例えば、１ミル）を有する保護膜は、それ自体とまって、コアの２倍の厚さを有することになる。

相互接続要素（例えば、１１０）は、加えられる接触力に応答して偏向することになるが、該偏向（復元性）は、相互接続要素の全体形状によって部分的に、（コアの降伏強度に対して）保護膜材料の優勢な（より大きな）降伏強度により部分的に、また、保護膜材料の厚さにより部分的に決定される。

本明細書で用いる「片持ち式」及び「片持ち梁」という用語は、伸長構造（例えば、保護膜付きコア１１２）が、一端に実装（固定）

されて、他端は、通常、伸長要素の長手方向軸に対して概ね横方向に作用する力に応答して、自由に移動する。これらの用語の使用により、伝達又は暗示を意図する他の特定の、又は限定的な意味は何もない。

図１Ｂにおいて、電気的な相互接続要素１２０には、同様に、軟質コア１２２（１１２に匹敵）と、硬質シェル１２４（１１４に匹敵）とが含まれる。この例の場合、コア１２２は、２つの湾曲部を有するように成形され、従って、Ｓ字形状と見なされる。図１Ａの例のように、このようにして、電子コンポーネント（不図示）間の復元性のある相互接続を、相互接続要素１２０の２つの端部１２０ａと１２０ｂの間にもたらすことができる。（図１Ｂにおいて、参照番号１２０ａは、相互接続要素１２０の一端部を示し、端部１２０ｂに対向した実際の端部は示されていない。）電子コンポーネントの端子に接触する際に、相互接続要素１２０は、「Ｆ」で表記される矢印で示されるような、接触力（圧力）を受けることになる。

図１Ｃにおいて、電気的な相互接続要素１３０には、同様に、軟質コア１３２（１１２に匹敵）と、硬質シェル１３４（１１４に匹敵）とが含まれる。この例の場合、コア１３２は、１つの湾曲部を有するように成形され、Ｕ字形状と見なすことができる。図１Ａの例のように、このようにして、電子コンポーネント（不図示）間の復元性のある相互接続を、相互接続要素１３０の２つの端部１３０ａと１３０ｂの間にもたらすことができる。（図１Ｃにおいて、参照番号１３０ａは、相互接続要素１３０の一端部を示し、端部１３

0 b に対向した実際の端部は示されていない。) 電子コンポーネントの端子に接触する際に、相互接続要素 1 3 0 は、「F」で表記される矢印で示されるような、接触力 (圧力) を受けられることになる。代替として、相互接続要素 1 3 0 を使用して、「F'」で表記される矢印で示されるように、その端部 1 3 0 b 以外で接触をなすこともできる。

図 1 D は、軟質コア 1 4 2 と硬質シェル 1 4 4 を有する、復元性のある相互接続要素 1 4 0 の他の実施例を示す。この例の場合、相互接続要素 1 4 0 は、本質的に簡単な片持ち式 (図 1 A に匹敵) であり、湾曲した先端 1 4 0 b は、その長手方向軸に対して横方向に作用する接触力「F」を受ける。

図 1 E は、軟質コア 1 5 2 と硬質シェル 1 5 4 を有する、復元性のある相互接続要素 1 5 0 の他の実施例を示す。この例の場合、相互接続要素 1 5 0 は、概ね「C 字形」であり、好適には僅かに湾曲した先端を備え、「F」で表記される矢印で示されるように、圧力接触をなすのに適している。

理解されたいのは、軟質コアは、任意の弾性変形可能な形状、換言すると、結果としての相互接続要素に、その先端に加えられる力に応答して弾性的に偏向せしめる形状へと、容易に形成することができるということである。例えば、コアは、慣用的なコイル形状に形成することもできる。しかし、コイル形状は、相互接続要素の全長、及びそれに関連したインダクタンス (その他)、また高周波 (速度) で動作する回路へのインダクタンスの悪影響に起因して好

ましくない。

シェル、又は多層シェル (以下で説明する) の少なくとも 1 つの層の材料は、コアの材料よりも大幅に高い降伏強度を有する。従って、シェルは、結果としての相互接続構造の機械的特性 (例えば、弾性) を確立する際にコアの影を薄くする。シェル対コアの降伏強度の比率は、少なくとも 2 : 1 が好適であり、少なくとも 3 : 1 及び少なくとも 5 : 1 も含み、10 : 1 程度に高くすることもできる。また明らかなのは、シェル、又は多層シェルの少なくとも外部層は、導電性にすべきであり、シェルがコアの端部を覆う場合には顕著である。(しかし、親事例には、コアの端部が露出される実施例が記載されており、その場合には、コア

は導電性でなければならない。)

学術的な観点から、結果としての複合相互接続要素のばね作用（スプリング形状）部分に、硬質材料で保護膜生成することが唯一必要である。この観点から、コアの2つの端部の両方に保護膜生成することは一般に本質的でない。しかし、実際問題としては、コア全体に保護膜生成することが好ましい。電子コンポーネントに締結（取り付け）られるコアの一端に保護膜生成する特定の理由、及びそれで生じる利点を、以下で更に詳細に論じる。

コア（112、122、132、142）に適した材料には、限定でないが、金、アルミニウム、銅、及びそれらの合金が含まれる。これらの材料は通常、所望の物理的性質を得るために、少量の他の材料で合金化されるが、それらは例えば、ベリリウム、カドミウム、シリコン、マグネシウム、その他である。銀、パラジウム、プラチ

ナ、プラチナ群の元素の金属等の金属又は合金を用いることも可能である。鉛、スズ、インジウム、ビスマス、カドミウム、アンチモン、及びそれらの合金から構成される半田が使用可能である。

電子コンポーネントの端子へのコア（ワイヤ）の一端の面対向取り付け（以下で更に詳細に論じる）は、一般に、（温度、圧力、及び／又は超音波エネルギーを用いて、ボンディングをもたらす）ボンディングしやすい任意の材料（例えば、金）のワイヤであり、これは、本発明を実施するのに適している。非金属材料を含む、保護膜生成（例えば、メッキ）しやすい任意の材料が、コアに使用できることも本発明の範囲内である。

シェル（114、124、134、144）に適した材料には、（多層シェルの個々の層に関して、以下で論じるように）限定ではないが、ニッケル及びその合金と、銅、コバルト、鉄及びそれらの合金と、両方とも卓越した電流搬送能力、及び良好な接触抵抗特性を呈示する、金（特に硬質の金）及び銀と、プラチナ群の元素と、貴金属と、半貴金属及びそれらの合金、特にプラチナ群の元素及びそれらの合金と、タングステンと、モリブデンが含まれる。半田状の仕上げが所望の場合には、スズ、鉛、ビスマス、インジウム、及びそれらの合金を用いるこ

ともできる。

これらの被覆材料を、上記に記載した各種のコア材料にわたって施すために選択される技法は、無論のこと、用途に合わせて変化する。電解メッキ、及び無電解メッキは一般に好適な技法である。しかし、一般には、金のコアにわたってメッキを施すことは、直感的

ではない。本発明の1つの態様によれば、金のコアにわたってニッケルのシェルをメッキする（特に、無電解メッキする）場合、メッキ開始を容易にするために、まず、金のワイヤシステムにわたって薄い銅の開始層を施すことが望ましい。

図1A-1Eに示すような例示的な相互接続要素は、約0.001インチのコア径と、0.001インチのシェル厚を有し、従って、相互接続要素は、約0.003インチの全体径（すなわち、コア径足す2倍のシェル厚）を有する。一般に、シェルのこの厚さは、コアの厚さ（例えば、直径）の0.2-5.0（1/5から5）倍程度となる。

複合相互接続要素に関する幾つかの例示的なパラメータは、以下のようになる。

（a）1.5ミルの直径を有する金のワイヤコアが、40ミルの全高、及び9ミル半径の略C字状湾曲（図1Eに匹敵）を有するように成形され、0.75ミルのニッケルでメッキされ（全体径=1.5+2×0.75=3ミル）て、任意として金の50マイクロインチの最終保護膜を受容する。結果としての複合相互接続要素は、約3-5グラム/ミルのばね定数（k）を呈示する。使用時に、3-5ミルの偏向は、結果として9-25グラムの接触力となる。この例は、介挿物用のばね要素に関連して有用である。

（b）1.0ミルの直径を有する金のワイヤコアが、35ミルの全長を有するように成形され、1.25ミルのニッケルでメッキされ（全体径=1.0+2×1.25=3.5ミル）て、任意として

金の50マイクロインチの最終保護膜を受容する。結果としての複合相互接続要素は、約3グラム/ミルのばね定数（k）を呈示して、プローブ用のばね要素に

関連して有用である。

(c) 1.5ミルの直径を有する金のワイヤコアが、20ミルの全長、及び約5ミルの半径の略S字状湾曲を有するように成形され、0.75ミルのニッケル又は銅でメッキされる(全体径=1.5+2×0.75=3ミル)。結果としての複合相互接続要素は、約2-3グラム/ミルのばね定数(k)を呈示して、半導体素子上に実装するためのばね要素に関連して有用である。

コアは、丸い断面を有する必要はなく、むしろシートから延伸する平坦なタブ(矩形断面を有する)とすることもできる。理解されたいのは、本明細書で用いる「タブ」という用語は、「TAB」(テープ自動化ボンディング)と混同すべきでない、ということである。

多層シエル

図2Aは、端子214が設けられる電子コンポーネント212に実装された、相互接続要素210の1つの実施例200を示す。この例の場合、軟質(例えば、金)ワイヤコア216が、一端において端子214にボンディングされ(取り付けられ)、端子から延伸してスプリング形状を有するように構成され(図1Bに示す形状に匹敵)て、自由端216bを有するように切断される。このようにワイヤのボンディング、成形、及び切断は、ワイヤボンディング装置を用いて達成される。コアの端部216aにおける接着剤は、端

子214の露出表面の比較的小さい部分しか覆わない。

シエル(保護膜)が、ワイヤコア216にわたって配設され、この例の場合、多層化として示され、内層218と外層220を有し、その両方の層はメッキ工程により適切に施される。多層シエルの1つ以上の層が、硬質材料(ニッケル及びその合金等の)から形成されて、所望の復元性が、相互接続要素210に付与される。例えば、外層220は、硬質材料とすることができ、内層は、コア材料216上に硬質材料220をメッキする際に、緩衝又は障壁層として(あるいは、活性層、接着材層として)機能する材料とすることができる。代替として、内層218を硬質材料とし、外層220を、導電率及び半田付け可能性を含めた優れた電気的特性を呈示する材料(軟質の金等)とすることもできる。半田又はろ

う接型式の接触が所望の場合、相互接続要素の外層は、それぞれ、鉛－スズ半田又は金－スズろう接材料とすることができる。

端子への締結

図2Aは、総括的に、本発明の他の重要な特徴、すなわち復元性のある相互接続要素が、電子コンポーネント上の端子に確実に締結できることを示す。相互接続要素の取付端210aは、相互接続要素の自由端210bに加えられる圧縮力（矢印「F」）の結果として、大幅な機械的応力を受ける。

図2Aに示すように、保護膜（218、220）は、コア216だけでなく、連続して（中断なしに）コア216に隣接する端子214の残り（すなわち、接着剤216a以外）の露出表面全体も覆

う。これによって、相互接続要素210が、端子に確実且つ信頼性良く締結され、保護膜材料が、端子への結果としての相互接続要素の締結に対して、実質的に（例えば、50%よりも大きく）寄与する。一般に、必要なのは、保護膜材料が、コアに隣接する端子の少なくとも一部を覆うことだけである。しかし、保護膜材料は、端子の残りの表面全体を覆うことが一般に好ましい。好適には、シェルの各層は金属性である。

一般的な提案として、コアが端子に取付（接着）される比較的小さい領域は、結果としての複合相互接続要素に課せられる接触力（「F」）から生じる応力を吸収するのにあまり適さない。シェルが、端子の露出表面全体（端子へのコア端216aの取付をなす比較的小さい領域以外の）を覆うおかげで、相互接続構造全体が、端子に確実に締結される。保護膜の接着強度、及び接触力に反作用する能力は、コア端（216a）自体のそれよりはるかに高い。

本明細書で用いる「電子コンポーネント」（例えば、212）という用語には、限定ではないが、相互接続及び介挿基板と、シリコン（Si）又はヒ化ガリウム（GaAs）等の任意の適切な半導体材料製の半導体ウェーハ及びダイと、生成相互接続ソケットと、試験ソケットと、親事例に記載されているような犠牲部材、要素及び基板と、セラミック及びプラスチックパッケージ、及びチップキャリアを含む半導体パッケージと、コネクタとが含まれる。

本発明の相互接続要素は、特に、以下のものとして用いるのに十分適している。
すなわち、

- ・半導体パッケージを有する必要がなく、シリコンダイに直接実装される相互接続要素と、

- ・電子コンポーネントを試験するために、基板（以下で更に詳細に説明する）からプローブとして延伸する相互接続要素と、

- ・介挿物（以下で更に詳細に論じる）の相互接続要素である。

本発明の相互接続要素は、それが、硬質材料の付随の通常貧弱なボンディング特性によって制限されることなく、硬質材料の機械的特性（例えば、高い降伏強度）の恩恵を受ける点で類を見ない。これは、親事例に詳しく述べられているように、シェル（保護膜）が、コアの「足場」にわたって「超構造」として機能するという事実により大いに可能になる。ここで、それら2つの用語は、土木工学の環境から借用したものである。これは、メッキが保護（例えば、耐腐食）被覆として用いられ、また、相互接続構造に対して所望の機械的特性を付与するのが一般に不可能である、従来技術のメッキ化相互接続要素とは非常に異なる。また、これは、電気的な相互接続部に施されるベンゾトリアゾール（BTA）等の、任意の非金属性の耐腐食被覆とはある種著しく対照的である。

本発明の多数の利点の中には、複数の自立相互接続構造が、基板の上の共通の高さに対して、減結合コンデンサを有するPCB等のその異なるレベルから、基板上に容易に形成されるので、それらの自由端は互いに共平面にあるという利点がある。更に、本発明に従って形成される相互接続要素の電氣的、及び機械的（例えば、可塑及び弾性）特性が共に、特定の用途に対して容易に合わせられる。

例えば、所与の用途において望ましいのは、相互接続要素が、可塑及び弾性変形を呈示することである。（可塑変形が望ましいのは、相互接続要素により相互接続されるコンポーネントにおいて、総非平面性を吸収するためである。）弾性的な挙動が所望である場合、相互接続要素が、最小閾値量の接触力を発生して、信頼性の良い接触をもたらすことが必要である。また利点は、接触表面上に汚染膜

が偶発的に存在することに起因して、相互接続要素の先端が、電子コンポーネントの端子と拭い接触をなす点にもある。

本明細書で用い、接触構造に適用される「復元性のある」という用語は、加えられた荷重（接触力）に応答して、主に弾性的な挙動を呈示する接触構造（相互接続要素）を意味し、また、「従順な」という用語は、加えられた荷重（接触力）に応答して、弾性的及び可塑的な挙動の両方を呈示する接触構造（相互接続要素）を意味する。本明細書で用いるような、「従順な」接触構造は、「復元性のある」接触構造である。本発明の複合相互接続要素は、従順な、又は復元性のある接触構造のどちらかの特別な場合である。

多数の特徴は、親事例に詳細に述べられており、限定ではないが、犠牲基板上に相互接続要素を製造するステップと、電子コンポーネントに複数の相互接続要素を一括転移するステップと、好適には粗い表面仕上げである接触先端を相互接続要素に設けるステップと、一時的、次いで永久的な接続を電子コンポーネントになすために、電子コンポーネント上に相互接続要素を使用するステップと、相互接続要素を、それらの対向端での間隔とは異なる一端での間隔を有

するように配列するステップと、相互接続要素を製造するステップと同一工程のステップで、ばねクリップ、及び位置合わせピンを製造するステップと、接続されたコンポーネント間での熱膨張による差異を吸収するように、相互接続要素を使用するステップと、個別の半導体パッケージ（S I M M等の）の必要性を廃除するステップと、任意として、復元性のある相互接続要素（復元性のある接触構造）を半田付けするステップとを含む。

制御されたインピーダンス

図2Bは、多層を有する複合相互接続要素220を示す。相互接続要素220の最内部（内部の細長い導電要素）222は、上記したように、未被覆コアか、又は既に保護膜生成されているコアのいずれかである。最内部222の先端222bは、適切なマスキング材料（不図示）でマスクされる。誘電体層224が、電気泳動工程等により最内部222にわたって施される。導電材料の外層226が、誘電体層224にわたって施される。

使用時に、外層 2 2 6 を電気的に接地することにより、結果として、相互接続要素が、制御されたインピーダンスを有することになる。誘電体層 2 2 4 用の例示的な材料は、高分子材料であり、任意の適切な仕方、且つ任意の適切な厚さ（例えば、0.1 – 3.0 ミル）に施される。

外層 2 2 6 は多層とすることができる。例えば、最内部 2 2 2 が未被覆のコアである例では、相互接続要素全体が復元性を呈示することが所望である場合、外層 2 2 6 のうち少なくとも 1 つの層は、

ばね材料である。

ピッチ変更

図 2 C は、複数（図示では多くのうち 6 個）の相互接続要素 2 5 1 … 2 5 6 が、プローブカード挿入（慣用的な仕方ではプローブカードに実装される副アセンブリ）等の電子コンポーネント 2 6 0 の表面上に実装される実施例 2 5 0 を示す。プローブカード挿入の端子及び導電トレースは、図示の明瞭化のために、この図面から省略されている。相互接続要素 2 5 1 … 2 5 6 の取付端は、0.05 – 0.10 インチといった第 1 のピッチ（間隔）で始まる。相互接続要素 2 5 1 … 2 5 6 は、それらの自由端（先端）が 0.005 – 0.010 インチといった第 2 の微細なピッチとなるように、成形及び／又は配向される。あるピッチから別のピッチへと相互接続をなす相互接続アセンブリは、通常、「間隔変換器」と呼ばれる。

図示のように、相互接続要素の先端 2 5 1 b … 2 5 6 b は、2 つの平行な列状に配列されるが、これは例えば、接着パッド（接点）の 2 つの平行な列を有する半導体素子に接触させる（試験及び／又はエージング時に）ためである。相互接続要素は、他の先端パターンを有するように配列できるが、これは、アレイ等の他の接点パターンを有する電子コンポーネントに接触させるためである。

一般に、本明細書に開示される実施例を通じて、1 つの相互接続要素しか示さないが、本発明は、複数の相互接続要素を製造して、周辺パターン又は矩形アレイパターンといった、互いに規定の空間関係で複数の相互接続要素を配列することにも適用可能である。

犠牲基板の使用

電子コンポーネントの端子への直接的な相互接続要素の実装を以上に説明した。総括的に言うと、本発明の相互接続要素は、犠牲基板を含む任意の適切な基板の任意の適切な表面に製造、又は実装可能である。

親事例に注目されたいが、これには、例えば電子コンポーネントへの後続の実装のための別個、且つ特異な構造として、複数の相互接続構造（例えば、復元性のある接触構造）を製造する図 11A-11F についての記載、及び犠牲基板（キャリア）に複数の相互接続要素を実装し、次いで電子コンポーネントにひとまとめで複数の相互接続要素を転写する図 12A-12C についての記載がある。

図 2D-2F は、犠牲基板を用いて、先端構造を実施した複数の相互接続要素を製造するための技法を示す。

図 2D は、技法 250 の第 1 のステップを示し、マス킹材料 252 のパターン化層が、犠牲基板 254 の表面上に施される。犠牲基板 254 は、例として、薄い（1-10 ミル）銅又はアルミニウム箔とすることができ、マス킹材料 252 は、共通のホトレジストとなる。マス킹層 252 は、相互接続要素の製造を所望する位置 256a、256b、256c において、複数（図示では多くのうち 3 個）の開口を有するようにパターン化される。位置 256a、256b、及び 256c は、この意味で、電子コンポーネントの端子に匹敵する。位置 256a、256b、及び 256c は、この段階で好適に処理されて、粗い又は特徴的な表面模様を有する。

図示のように、これは、位置 256a、256b、及び 256c において、箔 254 に窪みを形成する型押し治具 257 で機械的に達成される。代替として、3 つの位置での箔の表面を、表面模様を有するように化学的にエッチングすることも可能である。この一般的な目的をもたらすのに適した任意の技法は、本発明の範囲内にあり、例えばサンドブラस्टینگ、ピーニングその他である。

次に、複数（図示では多くのうち 1 つ）の導電性先端構造 258 が、図 2E に示すように、各位置（例えば、256b）に形成される。これは、電解メッキ等の任意の適切な技法を用いて達成され、多層の材料を有する先端構造を含む。例

例えば、先端構造 258 は、犠牲基板上に施されるニッケルの薄い（例えば、10-100 マイクロインチ）障壁層、続いて軟質の金の薄い（例えば、10 マイクロインチ）、続いて硬質の金の薄い（例えば、20 マイクロインチ）層、続いてニッケルの比較的厚い（例えば、200 マイクロインチ）層、軟質の金の最終の薄い（例えば、100 マイクロインチ）層を有する。一般に、ニッケルの第1の薄い障壁層は、後続の金の層が、基板 254 の材料（例えば、アルミニウム、銅）によって「腐敗」されるのを防止するために設けられ、ニッケルの比較的厚い層は、先端構造に強度を与えるためであり、軟質の金の最終の薄い層は、容易に接着される表面を与える。本発明は、先端構造を犠牲基板上に形成する方法の如何なる特定例にも限定されない。というのは、これらの特定例は、用途に応じて必然的に変化するためである。

図 2 E に示すように、相互接続要素用の複数（図示では多くのう

ち1つ）のコア 260 が、例えば、上記した電子コンポーネントの端子に軟質のワイヤコアをボンディングする技法のいずれかによって、先端構造 258 上に形成される。コア 260 は次に、上記の仕方で好適には硬質材料 262 で保護膜生成され、マスキング材料 252 が次いで除去され、結果として、図 2 F に示すように、犠牲基板の表面に実装される複数（図示では多くのうち3つ）の自立相互接続要素 264 となる。

図 2 A に関連して説明した、端子（214）の少なくとも隣接した領域を覆う保護膜材料と同様にして、保護膜材料 262 は、それらの対応する先端構造 258 にコア 260 を確実に締結し、所望の場合、結果としての相互接続要素 262 に復元特性を付与する。親事例で注記したように、犠牲基板に実装される複数の相互接続要素は、電子コンポーネントの端子に一括転移される。代替として、2つの広範に分岐した経路をとることもできる。

シリコンウェーハを犠牲基板として使用でき、その上に先端構造が製造されること、及びそのように製造された先端構造が、電子コンポーネントに既に実装されている復元性のある接触構造に連結（例えば、半田付け、ろう接）できることも、本発明の範囲内である。これらの技法の更なる記載は、以下の図 8 A-8 E

において見出される。

図2Gに示すように、犠牲基板254は、選択性化学エッチング等の任意の適切な工程により簡単に除去される。ほとんどの選択性化学エッチングは、他方の材料よりもかなり大きな比率で一方の材

料をエッチングし、また、他方の材料は、その工程で僅かしかエッチングされないの、この現象を有利に用いて、犠牲基板の除去と同時に、先端構造におけるニッケルの薄い障壁層が除去される。しかし、必要ならば、薄いニッケル障壁層は、後続のエッチングステップでも除去可能である。これによって、結果として、複数（図示では多くのうち3つ）の個々に離散し特異な相互接続要素264となり、これは点線266で示され、電子コンポーネント上の端子に（半田付け又はろう接等により）後で装着される。

また、言及すべきは、保護膜材料が、犠牲基板及び／又は薄い障壁層を除去する工程で、僅かに薄くされるという点である。しかし、これが生じないほうが好ましい。

保護膜の薄小化を防止するには、金の薄い層、又は例えば、約20マイクロインチの硬質の金にわたって施される約10マイクロインチの軟質の金が、保護膜材料262にわたって最終層として施されることが好ましい。かかる金の外層は、主に、その優れた導電率、接触抵抗、及び半田付け可能性を意図するものであり、障壁層及び犠牲基板の除去に用いることを意図した、ほとんどのエッチング溶液に対して、一般に不浸透性が高い。

代替として、図2Hに示すように、犠牲基板254の除去に先行して、複数（図示では多くのうち3つ）の相互接続要素264が、内部に複数の穴を有する薄いプレート等の任意の適切な支持構造266によって、互いの所望の空間関係で「固定」され、それに基づき犠牲基板が除去される。支持構造266は、誘電体材料、又は誘

電体材料で保護膜生成される導電材料とすることができる。シリコンウェーハ又は印刷回路基板等の電子コンポーネントに、複数の相互接続要素を装着するステ

ップといった、更なる処理ステップが次に進行する。加えて、幾つかの用途において、相互接続要素 264 の先端（先端構造に対向した）が移動しないように安定化することが望ましく、これは特に、そこに接触力が加えられる場合である。この目的のために、また望ましいのは、誘電体材料から形成されたメッシュといった、複数の穴を有する適切なシート 268 で、相互接続要素の先端の移動に制約を与えることである。

上記の技法 250 の特異な利点は、先端構造（258）が、事実上任意の所望の材料から形成されて、事実上任意の所望の模様を有する点にある。上述したように、金は、導電性、低い接触抵抗、半田付け性、及び腐蝕耐性という卓越した電気的特性を呈示する貴金属の一例である。金は又可鍛性であるので、本明細書に記載の相互接続要素、特に本明細書に記載の復元性のある相互接続要素のいずれかにわたって施される、最終の保護膜とするのに極めて十分適している。他の貴金属も同様に望ましい特性を呈示する。しかし、かかる卓越した電気的特性を呈示する、ロジウム等の幾つかの材料は、一般に、相互接続要素全体に保護膜生成するのに適切でない。例えば、ロジウムは、著しく脆く、復元性のある相互接続要素上の最終保護膜として十分には機能しない。これに関して、技法 250 に代表される技法は、この制限を容易に克服する。例えば、多層先端構造（258 を参照）の第 1 の層は、（上記のように金ではなく）ロ

ジウムとすることができ、それにより、結果としての相互接続要素のいかなる機械的挙動にも何の影響を与えることなく、電子コンポーネントに接触させるために、その優れた電気的特性を引き出す。

図 21 は、相互接続要素を製造するための代替実施例 270 を示す。この実施例の場合、マスキング材料 272 が、犠牲基板 274 の表面に施されて、図 2D に関して上記した技法と同様にして、複数（図示では多くのうち 1 つ）の開口 276 を有するようにパターン化される。開口 276 は、相互接続要素が、自立構造として製造される領域を規定する。（本明細書に記載の説明を通じて用いる、相互接続要素が「自立」であるのは、その一端が、電子コンポーネントの端子、又は犠牲基板のある領域にボンディングされ、また、その他端が、電子コンポー

ネット、又は犠牲基板にボンディングされない場合である。)

開口内の領域は、犠牲基板 274 の表面内に延伸する単一の窪みで 278 示されるように、1 つ以上の窪みを有するように、任意の適切な仕方でも模様加工される。

コア (ワイヤシステム) 280 が、開口 276 内の犠牲基板の表面にボンディングされて、任意の適切な形状を有する。この図示の場合、例示の明瞭化のために、1 つの相互接続要素の一端しか示されていない。他端 (不図示) は、電子コンポーネントに取り付けられる。ここで容易に見られるのは、コア 280 が、先端構造 258 ではなく、犠牲基板 274 に直接ボンディングされるという点で、技法 270 が上述した技法 250 とは異なるということである。例と

して、金ワイヤコア (280) が、慣用的なワイヤボンディング技法を用いて、アルミニウム基板 (274) の表面に容易にボンディングされる。

工程 (270) の次のステップでは、金の層 282 が、コア 280 にわたって、また、窪み 278 内を含む、開口 276 内の基板 274 の露出領域上に施される (例えば、メッキにより)。この層 282 の主な目的は、結果としての相互接続要素の端部に、接触表面を形成することである (すなわち、犠牲基板が除去されると)。

次に、ニッケル等の比較的硬質な材料の層 284 が、層 282 にわたって施される。上述したように、この層 284 の 1 つの主な目的は、結果としての複合相互接続要素に所望の機械的特性 (例えば、復元性) を付与することである。この実施例において、層 284 の他の主な目的は、結果としての相互接続要素の低い方の (図示のように) 端部に製造される接触表面の耐久性を強化することである。金の最終層 (不図示) が、層 284 にわたって施されることになるが、これは、結果としての相互接続要素の電気的特性を強化するためである。

最終ステップにおいて、マスキング材料 272、及び犠牲基板 274 が除去され、結果として、複数の特異な相互接続要素 (図 2 G に匹敵) か、又は互いに所定の空間関係を有する複数の相互接続要素 (図 2 H に匹敵) のいずれかとなる。

この実施例 270 は、相互接続要素の端部に模様加工の接触先端を製造するた

めの代表的な技法である。この場合、「ニッケルの金

上重ね」接触先端の卓越した一例を説明した。しかし、本明細書に記載の技法に従って、他の類似の接触先端が、相互接続要素の端部に製造可能であることも本発明の範囲内である。この実施例 270 の別の特徴は、接触先端が、以前の実施例 250 で意図したような犠牲基板 (254) の表面内ではなく、犠牲基板 (274) の頂部全体に構成される点にある。

半導体素子へのばね相互接続要素の直接実装

図 3A、3B 及び 3C は、親事例の図 1C-1E に匹敵し、単一化されていない半導体素子を含む半導体素子上に直接、複合相互接続を製造するための技法 300 を示す。この技法は、上述の本出願人による米国特許同時係属出願第 08/558,332 号に開示される技法に匹敵する。

慣用的な半導体処理技法によれば、半導体素子 302 が、パターン化導電層 304 を備える。この層 304 は、上部金属層とすることができ、これは通常、ダイへのボンディングを意図したものであり、絶縁 (例えば、パッシベーション) 層 308 (通常、窒化物) 内の開口 306 により規定される。このようにして、接着パッドが規定され、これが、パッシベーション層 308 内の開口 306 の領域に対応する領域を有することになる。通常 (すなわち、従来技術によれば)、ワイヤは接着パッドにボンディングされていた。

本発明によれば、金属材料 (例えば、アルミニウム) のブランケット層 310 が、パッシベーション層 124 にわたって (スパッタリング等により) 堆積されるが、これは、導電層 310 が、開口 3

06 内への「浸漬」、及び層 304 への電氣的接触を含む、層 308 の微細構成に一致して従うようにして行われる。マスキング材料 (例えば、ホトレジスト) のパターン化層 312 が、その開口 314 をパッシベーション層 308 内の開口 306 にわたって位置合わせして、層 310 にわたって施される。

ブランケット導電層 310 の一部が、マスキング材料 312 により覆われ、他の部分のブランケット導電層 310 は、マスキング材料 312 の層の開口 314

内で露出される（覆われない）。ブランケット導電層 310 の露出部分は、開口 314 内で、「パッド」又は「端子」（214 に匹敵）として機能することになり、金メッキ（不図示）することもできる。

この技法の重要な特徴は、開口 314 が開口 306 よりも大きい点にある。明らかであるが、これによって結果として、半導体ダイ 302 上に存在する他のもの（開口 306 により規定されるような）よりも大きな接着領域（開口 132 により規定される）となる。

この技法の他の重要な特徴は、導電層 310 が短絡層として機能して、索子 302 が、ワイヤシステム（コア）320 の電子フレームオフ（EFO）工程時の損傷から保護される点にある。

内部コア（ワイヤシステム）320 の一端 320a が、開口 314 内で、導電層 310 の上部（図で見て）表面にボンディングされる。コア 320 は、弾性変形可能な形状を有し、半導体ダイの表面から延伸するように構成され、上記のようにして（例えば、電子フレームオフにより）、先端 320b を備えるべく切断される。次に、図

3B に示すように、成形済みワイヤシステム 320 に、上記のように（図 2A に匹敵）、導電材料 322 からなる 1 つ以上の層で保護膜生成される。図 3B で分かるように、保護膜材料 322 は、ワイヤシステム 320 を完全に包み込み、また、ホトレジスト 312 内の開口 314 により規定された領域内で、導電層 310 も覆う。

次に、ホトレジスト 312 が除去され（化学エッチング、又は洗浄等により）、基板は、選択性エッチング（例えば、化学エッチング）を受けて、導電層 310 から、ワイヤシステム 320 に保護膜生成する材料 322 により覆われる層 310 の部分 315（例えば、パッド、端子）を除いて、材料の全てが除去される。マスキング材料 312 により以前に覆われており、材料 322 で保護膜生成されていない、ブランケット導電層 310 の一部が、このステップで除去されるが、材料 322 により保護膜生成された、残りの部分のブランケット導電材料 310 は除去されない。この結果として図 3C に示す構造となり、その重要な利点は、

結果としての複合相互接続要素 324 が、別態様では（例えば、従来技術では）接着パッド（すなわち、パッシベーション層 308 内の開口 306）の接触領域と見なされていた領域よりも、容易に大きくすることができる領域（これは、ホトレジスト内の開口 314 により規定される）に、確実に固定される（コーティング材料 322 により）という点にある。

この技法の他の重要な利点は、気密封止（完全に保護膜生成）された接続が、接触構造 324 と、それが実装される端子（パッド）

315 との間にもたらされる点にある。

上記の技法は、一般に、複合相互接続要素を製造するための斬新な方法を記載するものであり、その物理的特性は、所望の度合いの復元性を呈示するように容易に合わせられる。

一般に、本発明の複合相互接続要素は、相互接続要素（例えば、320）の先端（例えば、320b）が、互いに共平面を容易になさしめ、それらが始まる端子（例えば、パッド）とは異なる（例えば、より大きなピッチ）ことができるようにして、基板（特に半導体ダイ）に容易に実装（それ上に製造）される。

復元性のある接触構造が実装されないレジスト（例えば、314）に、開口を製作することも、本発明の範囲内である。むしろ、かかる開口を使用して、同一の半導体ダイ上、又は他の半導体ダイ上の他のパッドに、（従来のワイヤボンディング等により）接続をもたらすことが有利となろう。これによって、製造者に、レジスト内の開口の共通レイアウトとの相互接続を「カスタム化」する能力が与えられる。

図 3D に示すように、マスキング層 312 が更にパターン化され、その結果、半導体素子 302 の面上に、更なる導電ライン又は領域を残す（すなわち、相互接続要素 324 が実装され、また保護膜生成される開口 314 を設けることに加えて）ことが可能となることも、本発明の範囲内である。これは、図面で、それぞれ、開口 314a 及び 314b へと延伸する「伸長」開口 324a 及び 324b と、開口 314c へと任意的に延伸する「領域」開口 324c（不

図示)によって示されている。(この図において、例示の明瞭化のために、要素 304、308及び310は省略されている。)上記のように、保護膜材料322は、これらの追加の開口(324a、324b、324c)に堆積されて、これらの開口の下にある導電層310が除去されるのが防止される。かかる伸長及び領域開口(324a、324b、324c)の場合、伸長及び領域開口は、接触構造の対応するものに電気的に接続されることになる。これは、電子コンポーネント(例えば、半導体素子)302の面の直上の(相互接続する)2つ以上の端子(315)間に、(経路指定の)導電トレースを設けることに関連して役立つ。これは又、電子コンポーネント302の上に直接、接地及び/又は電源プレーンを設けるのに役立つ。これは又、チップ(302)搭載コンデンサとして機能する伸長領域324a及び324b等の緊密に隣接した(例えば、交互に重なった)伸長領域に関連して有用である。更に、接触構造324の場所以外に、マスキング層312内の開口を設けることは、後続の保護膜材料322の堆積を均一化する手助けとなり得る。

接触構造(324)を、例えば上記の図2D-2Fのようにして予め製造し、制御された幾何学形状を有する先端があってもなくても、端子315にろう接することは、本発明の範囲内である。これには、1つずつ、又は1度に幾つかの半導体ダイにというように、予め製造された接触構造を、(半導体ウェーハから)単一化された半導体ダイに実装することが含まれる。更に、先端構造(258)

の幾何学形状を平坦になるように制御して、z軸方向の導電性接着材(868)と効果的な圧力接続を行うことも可能であり、これは、親事例、及び本出願人により1995年11月15日付けで出願された米国特許同時係属出願に記載されるようなものである。

半導体素子の動作

集積回路(チップ)製造業者の間で周知の手順は、チップのエージング、及び機能試験である。これらの技法は通常、チップをパッケージ実装した後で実施され、本明細書では、まとめて「動作」と呼ぶ。

最近の集積回路は、一般に、幾つかの通常同一の集積回路ダイ(通常、正方形

又は矩形ダイサイトとして)を、(通常丸い)半導体ウェーハ上に生成し、次に、互いからダイ(チップ)を分離(単一化、切断)するために、ウェーハをけがく又はスライスすることにより製造される。「けがき線」(切り口)領域の直交格子が、隣接するダイ間に延伸し、また製造工程を評価するための試験構造を含む場合もある。これらのけがき線領域、及びそれら内に含まれた如何なるものも、ダイが、ウェーハから単一化される際に破壊されることになる。単一化(分離)されたダイは、最終的に個々にパッケージ実装されるが、これは例えば、ダイ上の接着パッドと、パッケージ本体内の導電トレースとの間に、ワイヤボンディング接続を行うことによる。

「エージング」とは、それによりチップが、単純に電源投入される(「静的な」エージング)、又は電源投入され、且つある程度チ

ップの機能性を動作させる信号を有する(「動的な」エージング)、1つの工程である。両方の場合に、エージングは通常、上昇した温度で、且つチップに「一時的な」(又は、取り外し可能な)接続をなすことにより行われ、その目的は、チップをパッケージ実装する前に、欠陥のあるチップを識別することである。エージングは、通常、ダイがウェーハから単一化(切断)された後に、ダイ毎に行われるが、ダイを単一化する前にエージングを行うことも知られている。典型的には、ダイへの一時的な接続は、試験プローブによりなされる。

機能試験も又、ダイに一時的な接続をなすことにより達成できる。ある例では、ダイの各々には、内蔵型自己試験(自己起動、信号発生)回路が設けられ、これは、チップの機能性の幾つかを動作させる。多くの例において、試験ジグを各ダイ用に製造する必要がある、プローブピンが、動作させる(試験及び/又はエージングする)必要がある特定のダイ上の接着パッドと、精密に位置合わせされる。これらの試験ジグは、比較的高価であり、普通でない長さの製造時間を必要とする。

一般的な提案として、パッケージリードは、エージング(又は、機能試験)に対してではなく、アセンブリに対して最適化される。従来技術のエージングボードは、コストがかかり、何千ものサイクルを被る場合が多い(すなわち、試験さ

れるダイ当たり概ね1サイクル)。更に、異なるダイには、異なるエージングボードが必要である。エージングボードは高価であり、これは、製造コスト全体を

増大させ、また、特定の素子の大量ロットにわたってしか償却できない。

もし、ダイをパッケージ実装する前に、ダイのある試験が完了しているならば、パッケージ済みダイを、外部のシステムコンポーネントに接続可能とするために、ダイはパッケージ実装される。上記のように、パッケージ実装には通常、ボンディングワイヤ等により、ダイにある種の「永久的な」接続をなすことが伴う。(多くの場合、かかる「永久的な」接続は、なされず、やり直されるが、これは一般的に望ましくない。)

明らかに、ダイのエージング及び/又はパッケージ実装前試験に必要な「一時的な」接続は、ダイをパッケージ実装するのに必要な「永久的な」接続とは異なる場合が多い。

ばね要素のキャリアへの実装、及び続く、電子コンポーネントへのキャリアの実装及び接続

上述のように(例えば、図3A-3Cに関連して)、本発明の復元性のある接触構造は、半導体ダイ(上)に直接実装することが可能である。これが特に重要なのは、外部の相互接続構造(例えば、ピン、リード、その他)が必要なある種のパッケージに配設されるダイに、ワイヤボンディングを行う従来技術に対して見た場合である。

半導体ダイの端子に直接ばね接触子を実装することは、幾つかの例で利点とはならず、又は不可能な例もある。これには、半導体ダイ上にばね接触子を配設する代替技法が必要である。かかる技法を

本明細書に開示する。

図4は、半導体素子400を示し、これは、ダイ402の中央線に沿った列に配列された複数の接着パッド(端子)404を有する半導体ダイ402からなる。(この及び後続の例示において、接着パッドは、半導体ダイの表面頂部にあるものとして、「様式化」した仕方以示している。)例えば、かかる接着パッドは

、5ミルピッチで100個以上配列されている。半導体素子400は、64メガビットのメモリ素子の代表例である。周知のように、素子400への接続は、LOC（チップ搭載リード）リードフレーム410により行うことができ、これは、ダイ402の上部表面402aを横切って、接着パッド404のそれぞれのパッドに向かって延伸する、複数のリードフレームフィンガ412を有する。リードフレームフィンガ412は、ボンディングワイヤ414によって、接着パッドのそれぞれに接続される。かかる素子400では多くの場合、冗長開口（不図示）又はウィンドウが、パッシベーション層（不図示）内にあり、この層を介して、半導体素子の上部金属化層が露出され、別態様では非機能素子を機能的にするために、素子の内部である種の接続を再構成することが可能になる。

図3A-3Cと関連して上記のようにして、復元性のある接触構造を接着パッド404に実装することは、簡単明瞭であるように思われた。しかし、かかる素子400では多くの場合、冗長開口（不図示）又はウィンドウが、パッシベーション層（不図示）内にあり、この層を介して、半導体素子の上部金属化層が露出され、別態様で

は非機能素子を動作させるために、素子の内部である種の接続を再構成することが可能になる。これらの冗長ウィンドウ（及び露出した金属化部分）は、本質的に、ブランケット導電層の堆積（スパッタリング）を禁止し、中間のレジストステップ（不図示）により、又はそこにポリイミド被覆（不図示）を施すことにより、この堆積物と接触するのに対して保護されなければならない。

本発明の1つの目的は、半導体素子上にブランケット導電層を堆積する必要なく、半導体素子に復元性のある接触構造（ばね要素）を実装するための1つの技法を提供することにある。

本発明によれば、複数の復元性のある接触構造（ばね要素）が、堅固なキャリア基板に実装され、該キャリア基板は、半導体素子に実装され、ばね要素は、半導体素子上の接着パッドのうちの対応するパッドに電気的に接続される。

図5は、本発明に従った、半導体素子アセンブリの側面図であり、親事例の図16E及び16Fとのある類似点を記載している。親事例の中で注目点として、

以下の記載がある。

「図16E及び16Fは、本発明による、一方の頂部に他方をといったように、チップ（半導体ダイ）を積み重ねるのに適した仕方で、復元性のある接触構造を製造するための1つの技法の側面図である。」

「図16E及び16Fは、頂部に次から次ぎにチップ（半導体ダイ）を積み重ねるのに適した仕方で、復元性のある接触構造を製造するための技法1650を示す。犠牲構造1652（1602に匹

敵）が、第1の電子コンポーネント1662（1612に匹敵）の頂部に配設される。ワイヤ1658が、一方の端部1658aにおいて、第1の電子コンポーネント1662上のパッド1664にボンディングされ、弾力のある形状を有するように構成され（図16Aと同様にして）、ワイヤ1658の中間部1658cが、（切断することなく）犠牲構造1652にボンディングされる。図示のように、犠牲構造1652には、ワイヤの中間部がボンディングされる接触先端（図10Cの1026に匹敵）が設けられる。ワイヤは更に、弾力のある形状（例えば、図2EのS形状に匹敵）で、犠牲構造1652から延伸するように成形されて、自由端1658bを有するように切断される。成形されたワイヤシステムは、犠牲構造1652を除去する前（図16Bに匹敵）か、又は後（図16Dに匹敵）のいずれかでメッキされて、復元性のある接触構造となり、その自由端1658bに施された微細構造接触子（1026に匹敵）を有する。」

「犠牲構造1652が除去された後、第2の電子コンポーネント1672が、第1の電子コンポーネント1662と、復元性のある接触構造（ワイヤシステムに保護膜生成された）の中間部1658cとの間に配設されて、第1の電子コンポーネント1662と、第2の電子コンポーネント1672の端子1674との間に、相互接続がもたらされる。この技法の利点は、相互接続が又、外部システム（他の電子コンポーネント）に対して接続をなすために、第2の電子コンポーネントから延伸する点にある。例として、第1の電子コ

ンポーネント1662はマイクロプロセッサであり、第2の電子コンポーネント

1672はメモリ素子である。」

半導体素子500は、それが、上部表面502a(402aに匹敵)に複数の接着パッド504(404に匹敵)を有する半導体ダイ502(402に匹敵)からなる点で、半導体素子400と類似している。接着パッド504は、半導体ダイ502の中央線の下の一列に配列される。

堅固なキャリア基板510が、任意の適切な接着材(不図示)を用いて、接着パッド504が占有しないダイの領域上で、ダイ502の面502aに実装される。

キャリア基板510は、セラミック、シリコン、PCB材料(Kevlar(tm)、FR4、その他といった)、又は絶縁被覆を有する材料といった、任意の適切な堅固材料から形成される。キャリア基板は又、ポリマーからも形成することができる。

接着材は、熱可塑性材又はシアニ化エステル等の任意の適切な接着材である。接着材を復元性のあるものとする、又はそれによって、キャリア基板510を、半導体502に向かって圧縮可能とすることは必要でない。しかし、キャリア基板の熱膨張係数が、半導体ダイの熱膨張係数と大幅に異なる場合、このような熱膨張係数の差を吸収する(低いせん断強度等により)接着材を選択することが有利である。キャリア(例えば、510)を基板(例えば、502)に接着するのに用いることを意図した接着材は、適切な熱可塑性材、シアニ化エステル、エポキシ、シリコーン、又は可撓性エ

ポキシである。

理解されたいのは、キャリア(例えば、510)に適用される、「堅固な」という用語は、キャリアが復元性である必要がなく、それ自体好適に堅固であるということを指す、ということである。しかし、「堅固なキャリア」という用語は又、キャリアの可撓性を可能にする／促進する手段を仲介することなく、堅固な基板(例えば、502)に接着される可撓性キャリアにも適用する、ということを理解されたい。この後者の場合、実装されたキャリアは、下にある堅固な基板(例えば、502)によって補強される(使用時に、硬化される)ことになる。

キャリア基板510を半導体ダイ502に実装する前に、複数の復元性のある接触構造（ばね要素）512が、キャリア基板510の上部（図で見て）表面510aの第1の複数の端子514のうちの対応する端子に実装される。第2の複数の端子516も、キャリア基板510の上部表面510aに設けられて、導電性ライン518によって、第1の複数の端子512のうちの対応する端子に接続される。このように、キャリア基板510は、一種の配線基板として認識でき、この場合、端子514、端子516、及びライン518は全て、単一の導電層からパターン化することができる。復元性のある接触構造（ばね要素）512は、任意の適切な仕方、また上記したように（例えば、図2Aに匹敵）、任意の所望の復元／従順特性を有するように、端子514に実装される。

半導体ダイ502の面502aに堅固なキャリア基板510を実

装した後、復元性のある接触構造（ばね要素）512は、接着パッド504と端子516の間で延伸するボンディングワイヤ520により、接着パッド504のうちの対応するパッドに接続される。このようにして、半導体素子上にブランケット導電層を堆積する必要なく、半導体素子上に復元性のある接触構造（ばね要素）を実装するための技法が提供される。更に、キャリア基板は、それ上に製造されたばね接触子を備え、半導体ダイへの後続の実装のために、予め製造可能である。更に、キャリア基板上の端子のレイアウト、及び相互接続の設計変更が、半導体ダイにキャリア基板を実装する前に、容易にもたらされる。

上記で留意したように、堅固なキャリア基板は、接着パッドの頂部以外で、ダイ上のどこにでも配置可能である。ダイのパッシベーション層内に冗長開口（ウィンドウ）が有る場合、堅固なキャリア基板は、それが冗長ウィンドウと重なり合わないよう、設計及び配設され、かかる「衝突」を避けるべく容易に製造可能であるが、これは、絶対的に必要というわけではない。例えば、ダイを既にプローブ探査（試験）しており、それに対する必要な修正が、露出した冗長ウィンドウを介して（例えば、信号を再経路指定するために、ダイの配線層を「溶解」することにより）なされている場合、キャリアが、既に用いた冗長ウィンドウに重なり合うことは許容可能である。一般に、キャリアは、冗長ウィンドウをもは

や必要としない場合、それらに重なり合うことができる。

一般に、図5の実施例、及び以下の実施例の場合、キャリア基板

(例えば、510)は、ばね要素(例えば、512)と半導体ダイ(例えば、502)の間に配設されて、ばね要素は、半導体ダイの前部表面(例えば、502a)から離れて延伸する。これにより、「半導体アセンブリ」と呼ぶことのできるものが形成される。

図5の技法は、ウェーハレベルにまで容易に拡張される。図5Aは、互いに隣接した、複数の半導体ダイのうちの2つ532及び534を示し、これらは、半導体ウェーハからまだ単一化(分離)されていない。各ダイ532及び534(502に匹敵)には、それぞれ、複数の接着パッド536及び538(504に匹敵)が設けられる。単一の堅固なキャリア基板540(510に匹敵)が、隣接した半導体ダイ532及び534の両方の頂部に配設されるため、少なくとも2つの単一化されていない半導体ダイを「橋渡し」する(またがる)。換言すると、堅固なキャリア基板540は、2つのダイのいずれか一方の縁部の上を覆う。

図5に関連して上記したのと同様にして、堅固なキャリア基板540をダイ532及び534の面に実装する前に、復元性のある接触構造(ばね要素)542及び544(512に匹敵)が、第1の複数の端子546及び548(514に匹敵)に実装され、端子546及び548は、それぞれ、複数の導電ライン550及び552(518に匹敵)を経由して、それぞれ、第2の複数の端子554及び556に接続され、これらはそれぞれ、ボンディングワイヤ558及び560(520に匹敵)により、接着パッド536及び538に接続される。

このようにして、各半導体ダイには、その接着パッド(536、538)に接続された複数のばね要素(542、546)が設けられ、該ばね要素は、ダイの表面から上方に(図で見て)延伸する。これは、ウェーハ上のダイの全てに関して、又はウェーハ上のダイの選択された部分に関して行うことができる。一般に、単一化されていないダイがパッドの中央列を有する場合、ウェーハ上の2つの

単一化されていないダイの全てに必要なのは、1つのキャリア基板だけである。しかし、単一の堅固なキャリア基板が、ウェーハ上で任意数の隣接した単一化されていないダイにまたがることできる（すなわち、4つの単一化されていないダイの交差部に堆積することにより）のも、本発明の範囲内である。一般に、（ウェーハ上で）ダイ当たり1つのキャリアを「選択配置」するか、又は単一化されていないダイからなるウェーハ全体に、単一の非常に大きなキャリアを実装することが好適であろう。これは一般に、本明細書に開示するキャリア実施例の全てについて言える。

ダイ532及び534を（最終アセンブリ、又はそのパッケージ実装のために）単一化することが最終的に所望である場合、適切な機構（例えば、ウェーハのこ、レーザ等）を用いて、隣接した単一化されていないダイ間で、ライン570に沿って切断可能である。

上述した、本出願人による米国特許同時係属出願第08/558,332号における留意点として、以下の記載がある。

「単一化されていないダイに復元性のある接触構造を実装することにより、半導体ダイが半導体ウェーハから単一化（分離）される

前に、それら半導体ダイを試験する（動作させる、及び／又はエージングする）1つの技法が提供され、それには、ダイの配列又はダイ上の接着パッドのレイアウトによる制約を受けることなく、必要不可欠な復元性、及び／又は従順性が、プローブカードにそこから延伸する復元性のある接触構造を設ける必要なく、半導体ダイ上に定置しており、それによって、半導体素子の最終パッケージ実装のために、同じ復元性のある接触構造を用いることが可能になる。更に、好適には半導体ダイがウェーハから単一化（分離）される前に、復元性のある接触構造をダイに実装することにより、「簡単な」試験ボードを用いて、半導体素子及びその他に電力投入するために、複数の圧力接触を、1つ以上の単一化されていない半導体ダイ（素子）に行うことが可能になる。（「簡単な」試験ボードとは、その表面から延伸する複数のプローブ要素を有する基板である従来の「プローブカード」とは対照的に、複数の端子又は電極を有する基板のことである。簡単な

試験ボードは安価であり、従来のプローブカードよりも容易に構成される。更に、従来のプローブカードに付きものの幾つかの物理的制約は、簡単な試験ボードを用いて、本発明の半導体素子アセンブリにより所望の圧力接触を行った場合には生じない。)このようにして、複数の単一化されていない半導体ダイが、その半導体ダイをウェーハから単一化(分離)する前に、動作(試験及び/又はエージング)可能である。半導体ダイに実装され、また半導体ダイを動作させるのに用いられる同じばね接触要素を用いて、半導体ダイがウェーハから単一化された後に、半導体

ダイに永久的接続を行うことが可能になる、ということは大きな利点である。」

図5Aに記載の技法は、ダイをキャリアに実装する、又はその逆を行う「選択配置」装置により実施可能であり、接着パッドの中央列を有する半導体ダイに最も適している。

図5Bは、本発明の特徴580を示し、この場合、図5のキャリアは、上述したようにして、電子コンポーネント502(例えば、半導体ダイ)に実装され、最終ステップにおいて、封止材で封止されるが、これは、電子コンポーネントの表面から延伸して半導体ダイ502の表面を覆い、キャリア基板(510)を覆い、半導体素子502とキャリア基板(510)間の接続を覆い、製造された複合相互接続(ばね)要素512のベースを覆う。この所望の目標を達成するには十分な量の封止材が必要であるが、封止材582の添加を注意深く制御することは必要でない。この技法580は、半導体ダイが半導体ウェーハから単一化される前か、又は後で実施可能である。

図6は、半導体ダイにばね要素を設けるための代替技法600を示し、単一化されていないダイか、又は単一化されたダイのいずれかに適用可能である。そこに示すように、堅固なキャリア基板610(510又は540に匹敵)が、(上記のように適切な接着材により)半導体602の表面602aに実装される。半導体ダイ602は、その表面602aに配設された複数の接着パッド604を有し、堅固なキャリア基板610は、その上部(図で見て)表面に

配設された対応する複数の端子612を有する。各接着パッド604について、ボンディングワイヤ618が、接着パッドにボンディングされ、引き延ばされて、対応する端子612にボンディングされるが、これはボンディングワイヤ618を切断することなく行われる。これにより、接着パッド604と、端子612のうちの対応する端子との間に接続が形成される。各端子612について、ボンディングワイヤ618は更に引き延ばされて（ボンディングワイヤの部分620として）、キャリア基板610の表面から延伸し、上記のようにして（図2Aに匹敵）、成形及び切断される。これにより、ばね形状と先端620aを備えた自立型ワイヤシステム620が得られる。ワイヤシステム620は、ボンディングワイヤ618に連続している（すなわち、それは、その中間点で端子612にボンディングされている1つの連続したワイヤである）。

半導体ダイ上にブランケット導電層（310）を設けることに関連して上述したように、（例えば）ダイ上の冗長ウィンドウの存在に起因して、アセンブリ全体にメッキ（保護膜）を施すことは、同様に実現不可能である（望ましくない）。かかるメッキ（自立型ワイヤシステム620を複合相互接続要素へと変換する際に必要なステップ）を施すには、従って、メッキの前に、ダイの表面をマスクすることが重要である。これは、図6Aに、マスキング材料（ホトレジスト等の）630で示され、これは、キャリア基板610の面を覆わないように、ダイ602の面上に選択的に施される。このようにして一旦マスクされると、アセンブリ（すなわち、ダイ602と、

キャリア基板610と、ボンディングワイヤ618の）には、材料622で容易に保護膜生成される。マスキング材料630は、適所に残すか、又は保護膜生成後に除去することもできる。

図6Bは、図6のキャリアアセンブリの代替実施例650を示す。この実施例の場合、

（a）マスキング材料680（630に匹敵）は、ボンディングワイヤ668（618に匹敵）とワイヤシステム670（620に匹敵）に保護膜生成する前に施され、

(b) 封止材 682 の層が、マス킹材料 680 にわたって施されて、結果としての複合相互接続要素 670/672 (620/622 に匹敵) の下部 (ベース) が安定化される。換言すると、ワイヤシステムとキャリア 660 (610 に匹敵) の間の連結部が「固定」される。適量の封止材 682 が、複合相互接続 (ばね) 要素のベースを覆うように施されるが、結果としての複合相互接続 (ばね) 要素の実質的な部分 (先端を含む) は、露出状態のままである。(図 5 B に関連して記載した技法に匹敵)

これらの特徴 ((a) 及び (b)) の一方又は両方を使用可能なことは、本発明の範囲内である。

図 7 A-7 F は、本発明のばね要素キャリアを製造し使用するための代替技法 700 を示す。

図 7 A は、複数 (図示では多くのうちの 1 つ) のリードフレームフィンガ 702 を有するリードフレームを示す。各フィンガ 702 は、内側端部 702 a を有する。ホトレジスト 704 等のマスキン

グ材料 704 が、リードフレームフィンガ 702 の両側 (図示では上部と下部) の外側部分に施され、リードフレームフィンガの内側部分はマスクされないままである。

図 7 B は、電子コンポーネントの端子にワイヤシステム (図 2 A、コア 216 に匹敵) を実装する上記技法と同様にして、コア要素 (ワイヤシステム) 706 が、リードフレームフィンガ 702 の露出した内側部分にボンディングされ、弾性変形可能な形状を有するように成形される。次に、図 7 C に示すように、成形されたコア要素が実装されたリードフレームには、上記等のようにして、ニッケル等の適切な導電性金属材料 708 で保護膜生成される。このようにして、所望の復元性 (及び/又は従順性) を備えた複合相互接続要素が、リードフレームフィンガの内側端部に締結された自立型ばね要素として形成される。

次に、図 7 D に示すように、マス킹材料 704 は除去されて、接着テープ、又は接着材を含む両面ポリイミド等の接着材料のフィルム 712 が、リードフレームフィンガ 702 の下側 (図で見て) に装着される。次に、構造全体をエボ

キン等で封止でき、これは、ばね710のベースへと上方に（図で見て）延伸する。

図7Eは、互いに向かって、内方に向けられた2組（700及び700a）のリードフレームフィンガと、それらの間に中央開口720を有する完成したリードフレームを示す。

ばね要素を、複合相互接続要素（保護膜付きコア）とする必要はなく、それは単に例示にすぎず、むしろ本来復元性のあるモノリシ

ック相互接続要素（例えば、単一で、高い降伏強度材料からなる）とすることもできることは、本発明の範囲内である。

図7Eに示すように、キャリアは、接着フィルム712により、複数の端子732を有する電子コンポーネントの前部表面に実装され、各端子は、ボンディングワイヤ734により、リードフレームフィンガ702の対応するフィンガにワイヤボンディングされる。

リードフレームフィンガ702の外側部分、すなわち、マスク（704）が施されており、また保護膜となっていなかった部分を、エッチング除去、又は任意の適切な仕方ですべて除去可能であることは、本発明の範囲内である。しかし、好適には、接着層712は、電子コンポーネント（例えば、730）の前部（図7Eで見て、上部）表面全体を覆い、そこに、チップスケール（チップ相互接続）キャリアが実装されて、電子コンポーネントの前部表面が保護される。これら2つの特徴は、図7Fに示されている。

半導体ダイを試験及びエー징ングする前か、又はその後に、チップスケールキャリアを、半導体ウェーハ上の単一化されていない半導体ダイに実装可能なことは、本発明の範囲内である。

初期に、リードフレームフィンガ（702）を、慣用的なリードフレームと類似のフレームにより互いに結合し、チップスケールキャリアを半導体ダイに実装した後、該フレームを除去する（打ち抜き等により）ことは、本発明の範囲内である。これには、標準的なリードフレーム処理装置を使用して、本発明のチップスケールキャリアを取り扱うことができる、という利点がある。コンポーネント

(例えば、730)は、リードフレーム上に選択配置され、そこにワイヤボンディング(734)されて、(もしあれば)該リードフレームを除去する前に封止されるであろうことが意図される。

チップスケールキャリア

図8Aは、本発明に従った、チップスケールキャリア800の1つの実施例を示す。半導体素子等の電子コンポーネント802が、コンポーネント802の前部(図で見て、上部)表面の絶縁層808において、それぞれ、開口806及び807内に複数(図示では多くのうち2つ)の端子804及び805を有する。

図5及び5Aのばね要素キャリアと同様にして、キャリア基板810(510に匹敵)が設けられ、その上には、ばね要素(複合相互接続要素、復元性のある接触構造)が製造され、そこから、電子コンポーネントの端子へのボンディングワイヤ接続がなされる。この例の場合、基板810は多層基板であり、これには、絶縁層812と、絶縁層812の頂部に配設されたパターン化導電層814と、導電層814の頂部に配設された別の絶縁層816と、絶縁層816の頂部の別のパターン化導電層818とが含まれる。絶縁層816は、第1の導電層の上で概ね中央に配設され、第1の導電層の個々の導電ラインの各々2つの端部を、第2の絶縁層の対応する2つの側部エッジにおいて、露出可能なように寸法決めされる。

絶縁層と導電層の交互順序が、3つ以上の層を有する多層基板を形成するように繰り返す可能なことは、本発明の範囲内である。

導電層814は、絶縁層812の一方の(図で見て、左)側部エ

ッジから絶縁層814の対向する(図で見て、右)側部エッジへと延伸する複数(図示では多くのうち1つ)の導電ラインを有するようにパターン化される。同様に、導電層818は、絶縁層816の一方の(図で見て、左)側部エッジから絶縁層816の対向する(図で見て、右)側部エッジへと延伸する複数(図示では多くのうち1つ)の導電ラインを有するようにパターン化される。図示のように、絶縁層812は、絶縁層816よりも大きく、絶縁層816は、導電層814の中間点の頂部に配設されるので、導電層(814)の端部は露出される。

コア要素（ワイヤシステム）８２０が、導電ライン８１４の一方の露出端（端部）にボンディングされ、コア要素（ワイヤシステム）８２２が、導電ライン８１８の一方の露出端（端部）にボンディングされるが、これは、基板の導電ラインから延伸する自立型の復元性のある接触構造の製造の際の予備ステップとして、上記のようにして行われる。

基板８１０は、電子コンポーネントの絶縁層８０８の頂部（すなわち、電子コンポーネントの面）に配設される。導電ライン８１４及び８１８の内端（対向する端部）は、それぞれ、ボンディングワイヤ８３０及び８３２により、電子コンポーネント８０２の端子８０４及び８０５のうちの選択された端子に接続される。

。上述のように、ワイヤシステム８２０及び８２２は、結果としての複合相互接続要素に所望の復元性を付与するように保護膜生成されることを意図したものである。この目的のために、電子コンポーネ

ントにばねキャリアを実装する前に、「ボンディング棚」（電子コンポーネントの端子にボンディングされることになる、導電ライン８１４及び８１８の端部）が、マスキング材料８２４でマスクされ、ワイヤシステムには、導電材料８２６の１つ以上の層で保護膜（例えば、メッキ）を施すことができ、その後、マスキング材料８２４は、図８Ｂに示すように除去される。

この実施例（８００）の利点は、各ボンディング棚上の配線が、ばね要素（復元性のある接触構造）に直接移行し、多層基板（８１０）を介してパイヤを形成する必要がない、という点である。これによって、非常に高密度の接続を電子コンポーネント（８０２）に行うことが可能となり、それには、微細導電ライン（基板上に）を必要とせず、よってコストの低減につながる。更に、本発明のチップスケールキャリアにより、電子コンポーネント上の端子の周辺アレイから、ばね要素の領域アレイへの遷移が簡略化される。

図８Ｂに示すように、ばね要素（保護膜付きワイヤシステム）は、任意のレベルに始まり得るが、同一平面内で終端せしめることができる（図８Ｂの点線で示すように）。換言すると、ばね要素は、チップスケールキャリアの異なるレベルか

ら始まるが、それらは、電子コンポーネント（８０２）上の同じ高さで終端せしめることができる。

上述のように、基板（８１０）は、任意数の層を備えることができる。例えば、一方の層を電源専用とし、もう一方の層を接地専用とし、また追加の１つ以上の層を、電子コンポーネントに対する信

号搬送に専用とすることができる。

基板（８１０）は、接着材等の任意の適切な仕方で、電子コンポーネントに固定することができ、半導体素子のエッジの上を覆うことなく、半導体素子の頂部に定置するよう容易に寸法決めされる。

ボンディング棚が、それらの対応する層上の周辺以外の場所にあることは、本発明の範囲内である。多層バイヤレスキャリアを備える利点が生じるのは、任意レベルの配線層が、任意の選択された領域（すなわち、周辺棚以外の）にばね要素を実装するために、また、電子コンポーネント（例えば、半導体ダイ）の端子に接続するために、アクセス可能である場合であり、これは、ばねが実装される上記選択された領域がアクセス可能な（多層キャリアの上部層により覆われない）限りにおいてである。

また、多層キャリアの各種レベル（層）から始まるばね接触子の自由端（先端）は、全てが共平面にある（同じ平面で終端する）必要がないことも、本発明の範囲内である。ある種の用途の場合（例えば、１つ以上のコンポーネントへの接続で、その端子の全てが共平面にあるわけではない場合）、ばね接触子は、それらの先端が、キャリア基板の上の任意の所望の高さ（ z 軸）にあるように、容易に製造される。

複合リードフレーム

本発明のばねキャリアは、実質的に慣用的なリードフレームを利用し、半導体ダイを該リードフレームに実装する自動化装置の利点を生かして製造可能である。

図 9 A は、本発明の 1 つの実施例 900 を示し、この場合、ばね要素 902 が

、リードフレームのリード904の内側部分に実装される（複合相互接続要素の場合、ボンディング及び保護膜生成される）。リードフレームの外側部分906がフレーム（リング）906である。リードフレームのリード904は、半導体ダイ908にわたって延伸し、これは、複数（図示では多くのうち1つ）の端子910を有し、そこに、ばね要素と概ね対向する場所に配設される適切な接着材912により実装される。接着材は、復元性又は従順性である必要はない。リード904は、ワイヤボンディング等により、ばね要素902の内方（図で見て、左）の端子910に接続される。

リード904は、ばね要素902とフレーム906の間で、外方（図で見て、右）の位置、好適には、半導体ダイ908の周辺の内方の位置において切断される。これが適切に達成されるのは、堅固な（十分支持された）アンビル状要素914を、半導体ダイ908の前部（図で見て、上部）表面と、リード904の背部（図で見て、下部）表面との間の間隙に挿入し、リードフレームのリードを切断するのに十分な力で、アンビル914と対向して、リード904の前部（図で見て、上部）表面に対して、くさび形状工具916を押し付けることによる。このようにして、複数のリード（904）を、リード（904）から延伸する複数のばね要素（902）により、半導体ダイ908上の複数の端子に接続することができる。最終ステップにおいて、切断されたリードと半導体ダイの前部表面は、図

5Bの582と同様にして、適切な充填樹脂（例えば、滴のセエボキシ）により封止可能である。封止材が、ばね要素902の下部を覆うことは許容でき、これによつては、それらの機能を損なうことにはならない（すなわち、半導体ダイに、圧力接続を行うための復元性のある接触構造が設けられる）。

リードフレームを、半導体ダイ908の周辺内に全体的に合うように寸法決めることは、本発明の範囲内である。

図9Bは、本発明の代替実施例950を示す。この実施例の場合、キャリアには、複数のリード（ライン）952（好適には、フレームなしの）が含まれ、これらは、カプトン（tm）膜等の絶縁層954で裏当て（支持）される。前の実

施例 900 の場合のように、ばね要素 956 (902 に匹敵) が、各リード 952 (904 に匹敵) の内側部分に実装され、各リード 952 は、半導体ダイ 960 (908 に匹敵) の対応する端子 958 (910 に匹敵) に接続される。適切な接着材 962 (912 に匹敵) を用いて、ばねキャリア 950 が、半導体ダイ 960 の前部表面に装着される。

この実施例の場合、リード 952 は、それらが半導体ダイ 960 の周辺を超えて延伸しないように、パターン化及び寸法決めされる。しかし、半導体ダイ 960 へのアセンブリ時に、ばねキャリア 950 の取扱いを容易にするために、絶縁フィルム 954 を、半導体ダイ 960 の周辺を超えて延ばすこともできる。これは一般に好適である。

ばねキャリア 950 と半導体ダイ 960 は、前の実施例 900 の

場合と同様にして、好適に封止される (不図示)。その場合に好適なのは、絶縁層 954 が、封止材を超えて拡がらないように (すなわち、封止されるように) トリミングを施すことである。よって、絶縁層 954 の余分な内側部分 964 は、絶縁層 954 の残りの内側部分 (すなわち、リード 952 を支持する部分) を完全に封止できるように、除去されなければならない。図示のように、点線 966 が、絶縁層の内側部分と外側部分の間の境界を示す。絶縁層のこれら 2 つの部分は、限定ではないが、ライン 966 に沿って穿孔を設けたり、ライン 966 にホットバーを加えたり、ライン 966 に沿って集束レーザービームを向けたり、又はその他を含む任意の適切な仕方、互いから切断される。

図 9C は、半導体ダイ 972 に実装されたばねキャリア 970 を斜視図で示し、リード 974 の内端が封止され、ばね要素 976 がリードから延伸し、リードフレームの外側部分 978 が点線で示されている (上記のように、削除されている)。

フリップチップ型式キャリア

上記の各種実施例は、半導体ダイへのばね要素とキャリア (リードフレームを含む) の実装に対処するが、「半導体チップアセンブリ」を構成する。

図 10 は、ボンディングワイヤではなく、半導体ダイ (チップ) への半田接続

を利用した、半導体チップアセンブリの他の実施例1000を示す。この実施例の場合、ばね要素キャリア基板1002には、上部表面1002a上の複数（図示では多くのうち2つ）の

端子1004と、下部表面1002b上の複数（図示では多くのうち2つ）の端子1006が設けられる。複数（図示では多くのうち2つ）のばね要素1008が、前の幾つかの実施例と同様に、端子1004に実装される。端子1004は、適切なバイヤ又はその他（不図示）を用いて、キャリア基板1002を介して端子1006に接続される。

半導体素子（ダイ、チップ）1010が、その前部（図で見て、上部）表面に配設された複数（図示では多くのうち2つ）の端子1012を有する。端子1006は、端子1012のうちの対応する端子と位置が合うように配列され、キャリア基板1002の熱膨張係数は、半導体ダイ1010の熱膨張係数とほぼ一致するように選定される。

使用時には、キャリア基板1002は、半田付けにより、半導体チップ1010に実装される。この目的のために、少量の半田、又は半田ペースト1014が、少なくとも1つの端子1006及び1012に施される。これを行うのは、スクリーニング（例えば、半田ペースト）によるか、キャリア基板1002と半導体ダイ1010の間に半田ブリフォームを挿入することによるか、又は2つの電子コンポーネント間で、フリップチップ型式接続（半田連結部）をもたらすための任意の適切な慣用的技法による。

半田質量体（1014）がリフローされると、キャリア基板1002は、表面張力に起因して、半導体チップと自己整合する傾向となる。任意として、かかる自己整合時の「モーメント」（すなわち、

力）を増大させるために、1つ以上の「ダミー」半田付け可能特徴1016及び1018が、それぞれ、キャリア基板の下部表面1002bと、半導体ダイ1010の前部表面の両方に設けられる。適量（不図示）の半田、又は半田ペーストが、半田質量体1014に関して記載したようにして、これら特徴のうちの少な

くとも1つに施される。半田（又は、半田ペースト）の全てを、これら2つのコンポーネント1010と1002の一方又は他方に施すのではなく、半田（又は、半田ペースト）が、半導体ダイ上の大きな特徴1018とキャリア基板上の端子1014に施される、又はその逆で施されることは、本発明の範囲内である。

最終ステップ（リフロー半田後の）において、キャリア基板1002と半導体ダイは、上記のようにして、封止（不図示）することができる。

モノリシックばね要素を含む任意のばね要素が、チップスケールキャリア（例えば、800）の表面から延伸することは、本発明の範囲内である。換言すると、本発明は、コアと保護膜からなる複合ばね要素の使用に限定されない。

複数の個々のチップスケールキャリアを、まとめて、電子コンポーネント（例えば、半導体ウェーハ）に実装するために、アレイ状に構成可能なことは、本発明の範囲内である。例えば、複数のチップスケールキャリアは、剛性を高めるために保護膜生成されるボンディングワイヤと共に「結合」可能である。あるいは、複数のチップスケールキャリアは、リードフレーム式配列で、又はTAB（テ

ープ自動化ボンディング）テープ型式キャリア上で、互いと物理的に関連付けることができる。

図11は、技法1100を示し、それにより、ばねキャリア1102（1002に匹敵）が、フリップチップ方式で、半導体ウェーハ1106に実装される。そこに示すように、ばねキャリア1102は、半導体ウェーハ1106上の1つ以上のダイサイト1104にまたがることできる。この例示の場合、ばねキャリア1102は、6個の隣接したダイサイト1104にまたがっている。ダイサイトを単一化（切断）する（例えば、ウェーハを鋸引きして）間、ばねキャリア1102も切断されることになる。この例示の場合、例示の明瞭化のために、ばねキャリア1102の露出表面から延伸する自立型ばね接触子（1108に匹敵）は省略している。

図面及び以上の説明において、本発明を詳細に例示及び説明してきたが、本発明は、文意における限定としてではなく、例示として見なされるべきである。すなわち、ここで理解されたいのは、好適な実施例のみを図示及び説明したという

こと、及び本発明の趣旨内に入る全ての変形及び修正も、望ましく保護されるということである。疑うべくもなく、上記の「主題」に関する多数の他の「変形例」も、本発明の最も近くに属する、当該技術で通常の知識を有する者が想到するであろうし、また本明細書に開示されるような変形例は、本発明の範囲内にあることを意図するものである。これら変形例の幾つかは、親事例に記載されている。

例えば、図 6 及び 6 A に記載の技法 600 は、図 5 A に記載のよ

うにして、ウェーハ上の 2 つ以上の単一化されていないダイにまたがるキャリア基板に適用可能である。

例えば、本発明のばねキャリア基板を、半導体ダイ等の電子コンポーネントに実装し、キャリア基板のエッジ（キャリア基板と半導体ダイの面間の任意の間隙を含む）を、ガラス等の気密封止材料で密封する結果として、気密封止パッケージとなるであろう。セラミック等の気密封止材料からなるキャリア基板が好適である。気密封止性を保証することが必要な場合、封止材料が、キャリア基板のエッジを覆うことも可能であり、その表面には、ばね要素が実装される（ばね要素の下部を含む）。

上記主題に関する他の変形例として、比較的大きなキャリア基板（そこに実装される対応する複数のばね要素を含む）用意し、そのキャリアを、複数の連結半導体ダイに（例えば、半導体上の、又は「過寸法」のキャリア基板の下部表面の半田パンプにより）実装及び接続（リフロー半田）し、その後、半導体ダイ（ばねキャリアが取り付けられた）を切断（単一化）することもあろう。前の段落で述べたように、半導体ダイを単一化する前、又はその後で、封止材を使用することも可能である。

Figure 1A

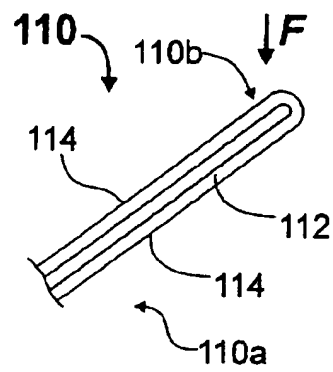


Figure 1B

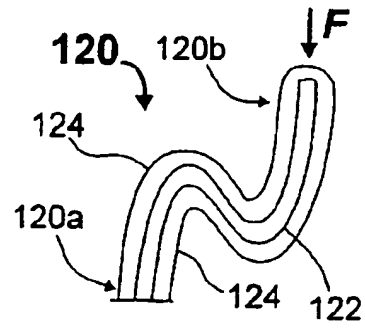


Figure 1C

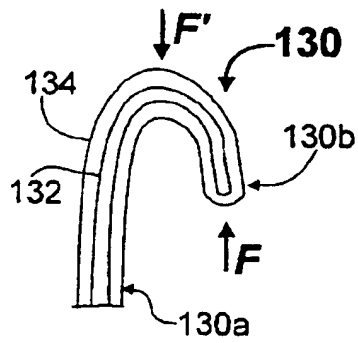


Figure 1D

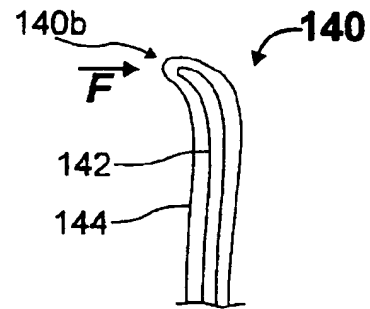


Figure 1E

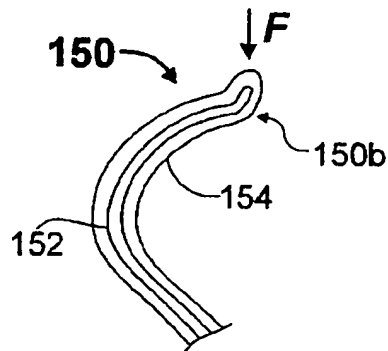


Figure 2A

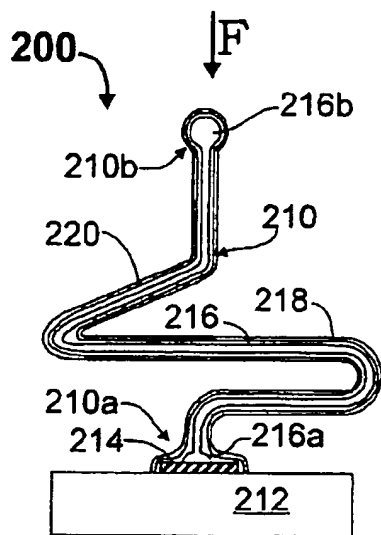
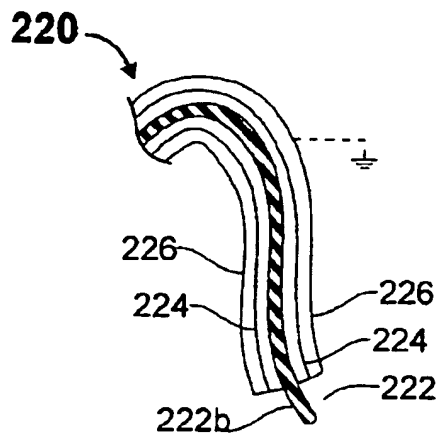
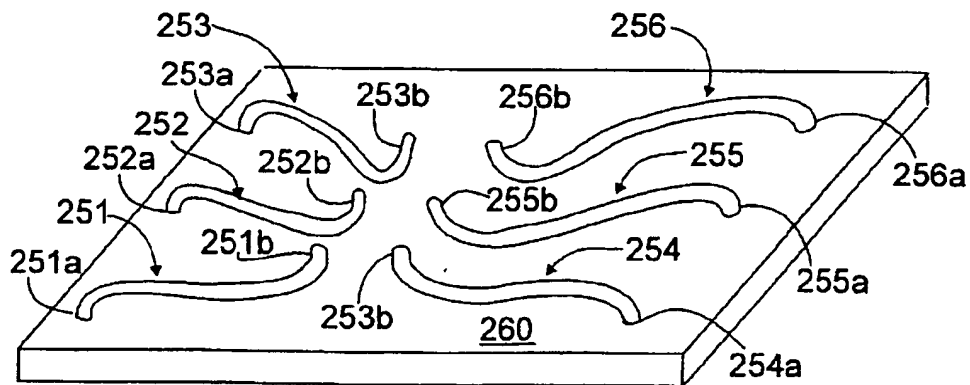


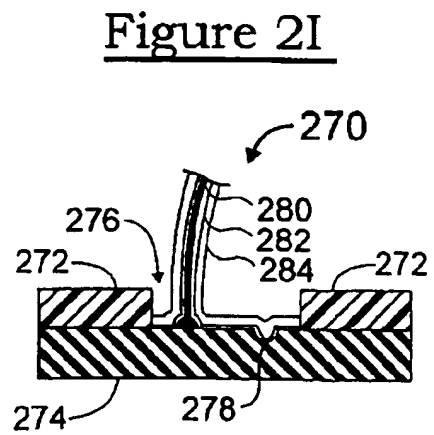
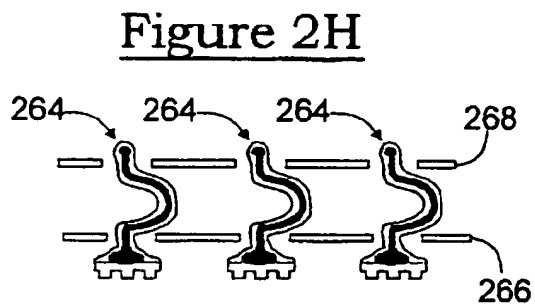
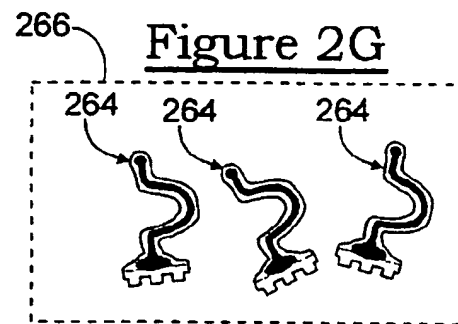
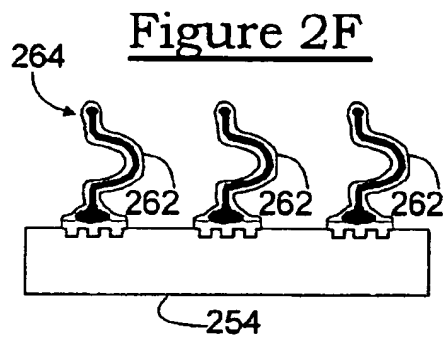
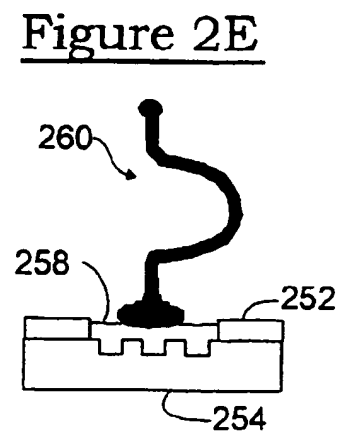
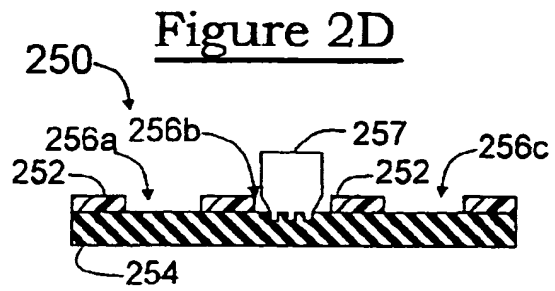
Figure 2B



250

Figure 2C





【図3】

Figure 3A

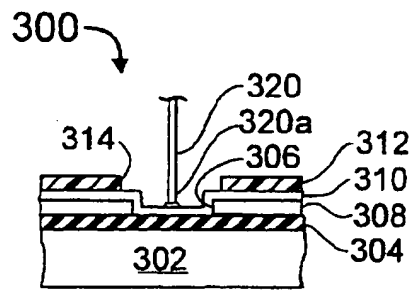


Figure 3B

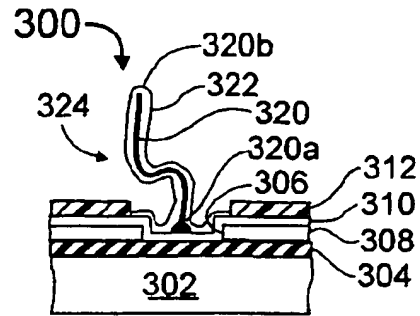


Figure 3C

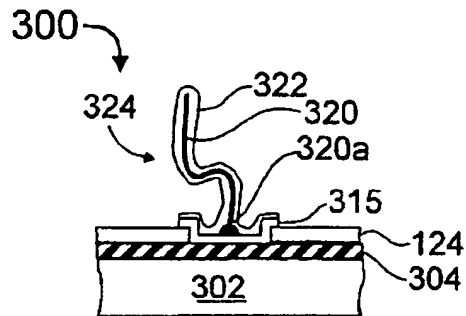
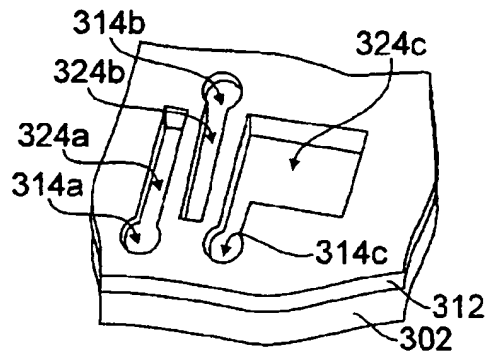


Figure 3D



【図4】

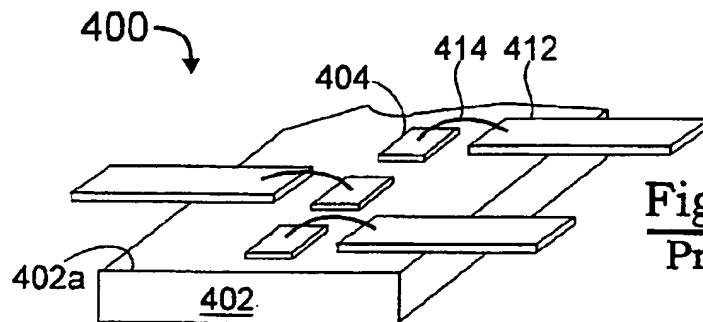
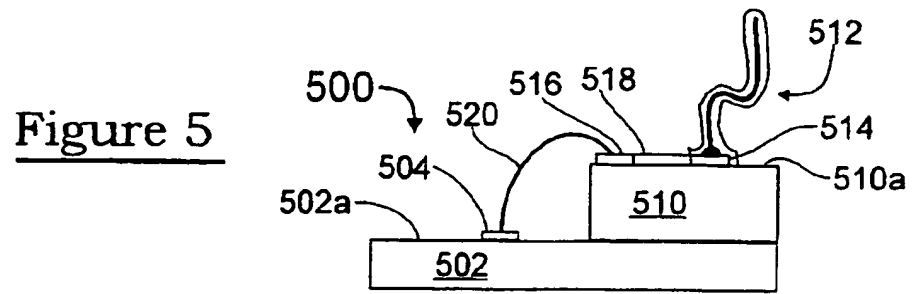
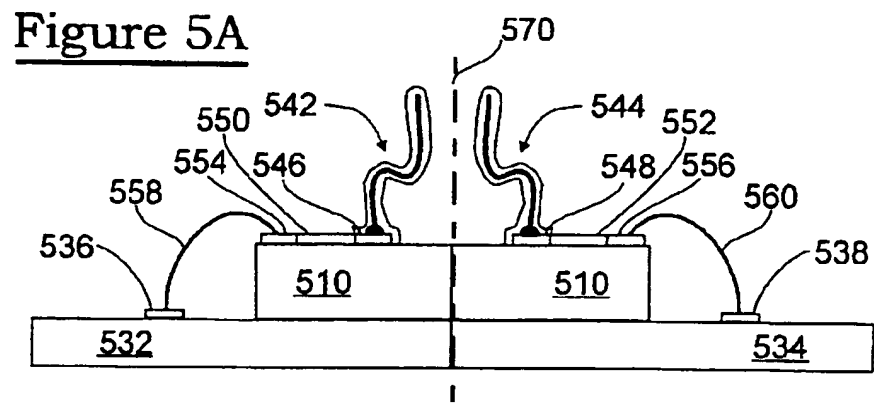


Figure 4
Prior Art

【図 5】



【図 5A】



【図 5】

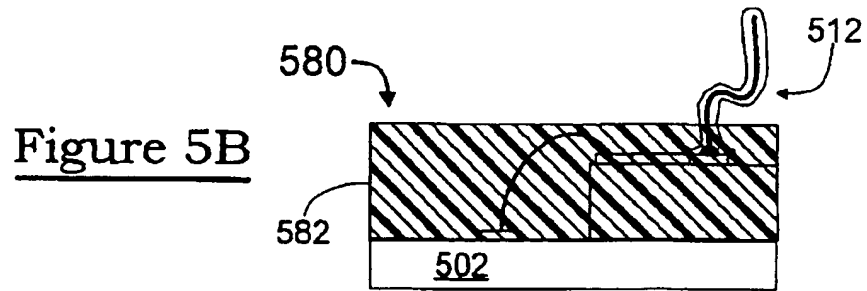


Figure 6

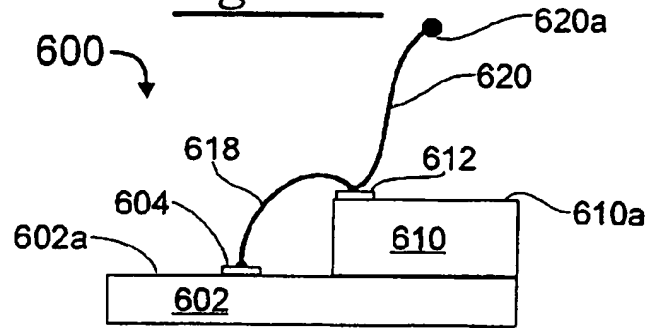


Figure 6A

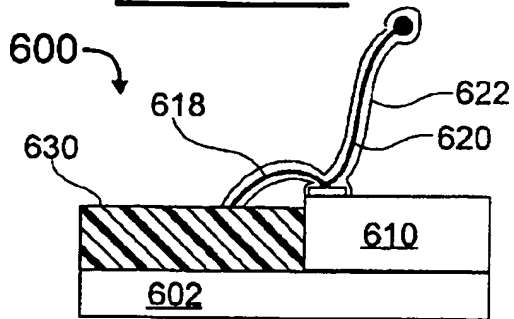


Figure 6B

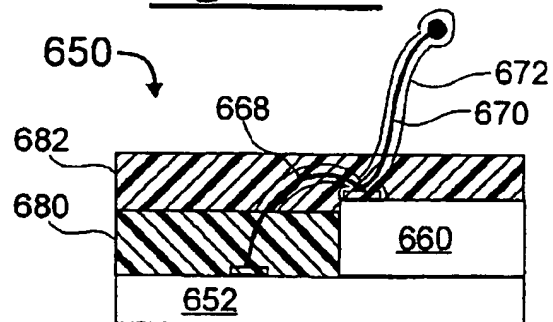


Figure 7A

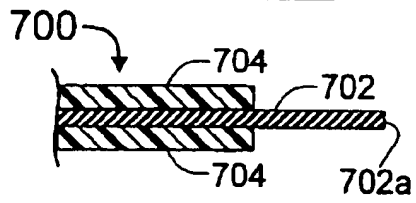


Figure 7B

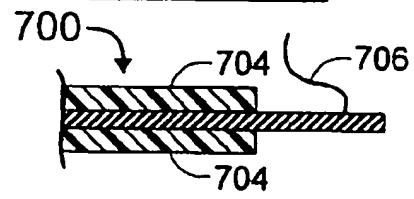


Figure 7C

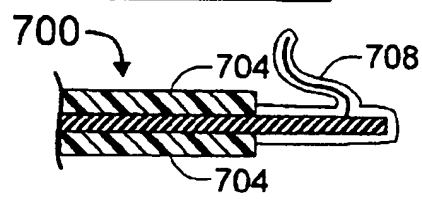


Figure 7D

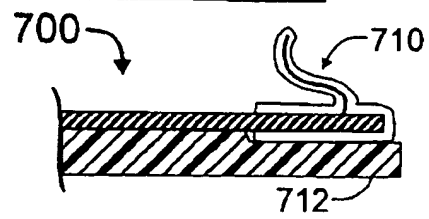


Figure 7E

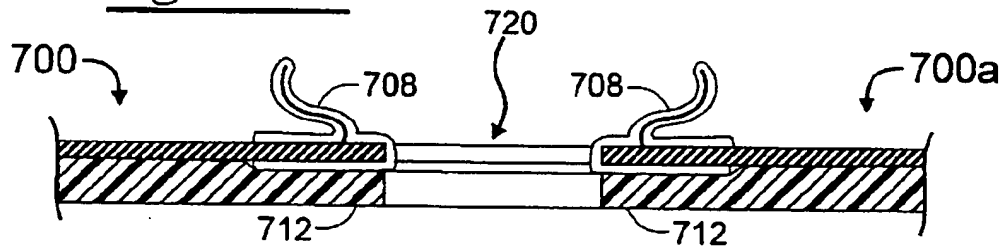
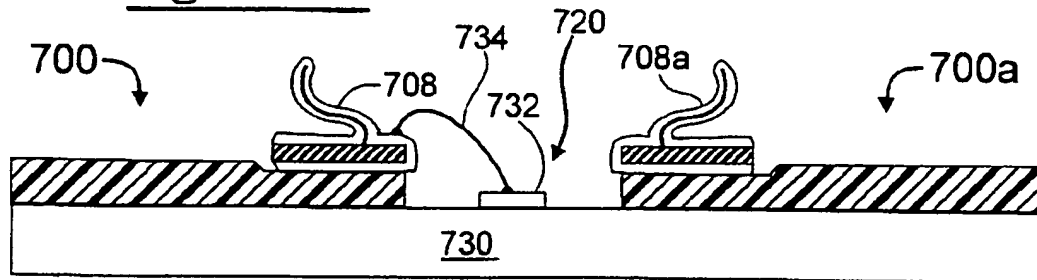


Figure 7F



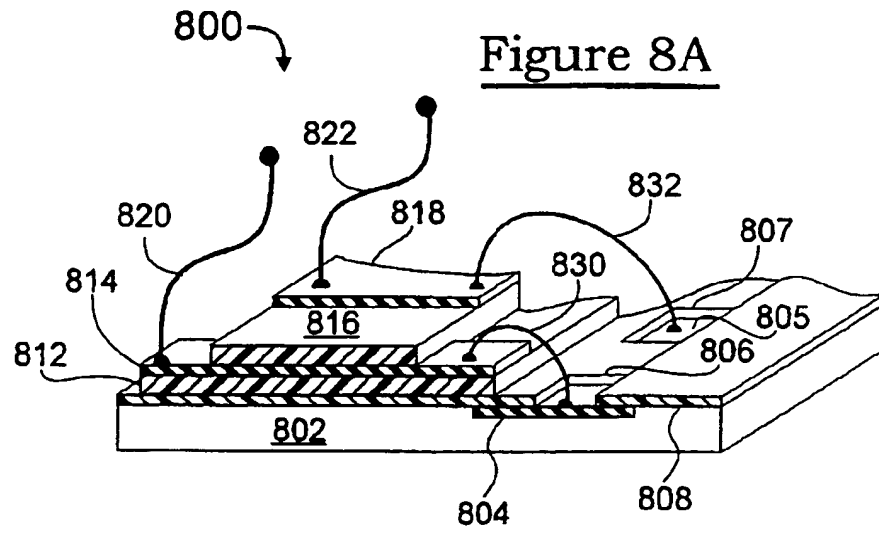


Figure 8B

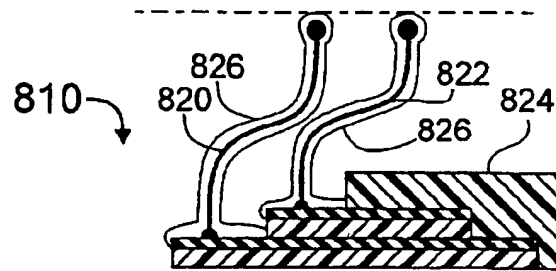


Figure 9A

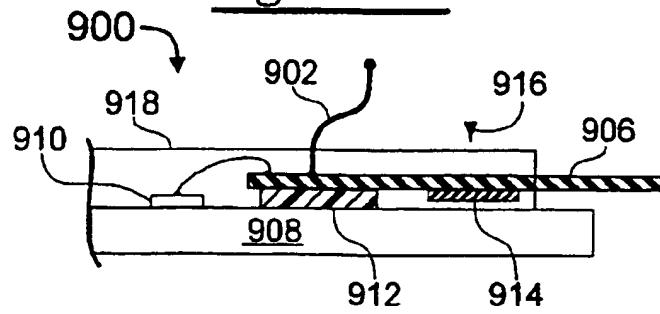


Figure 9B

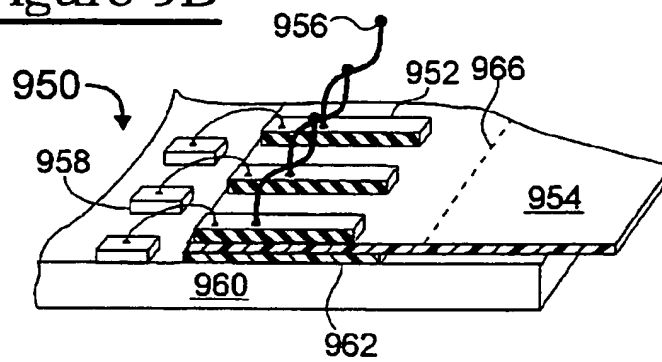
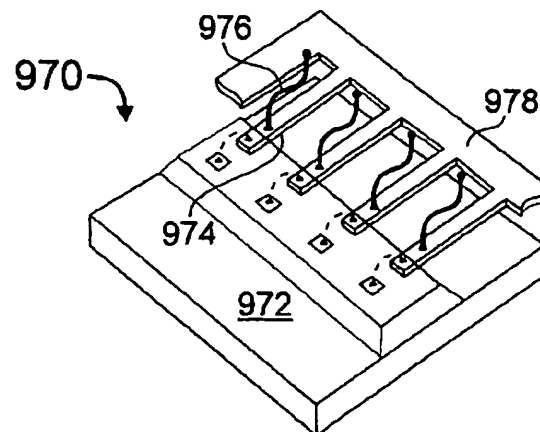
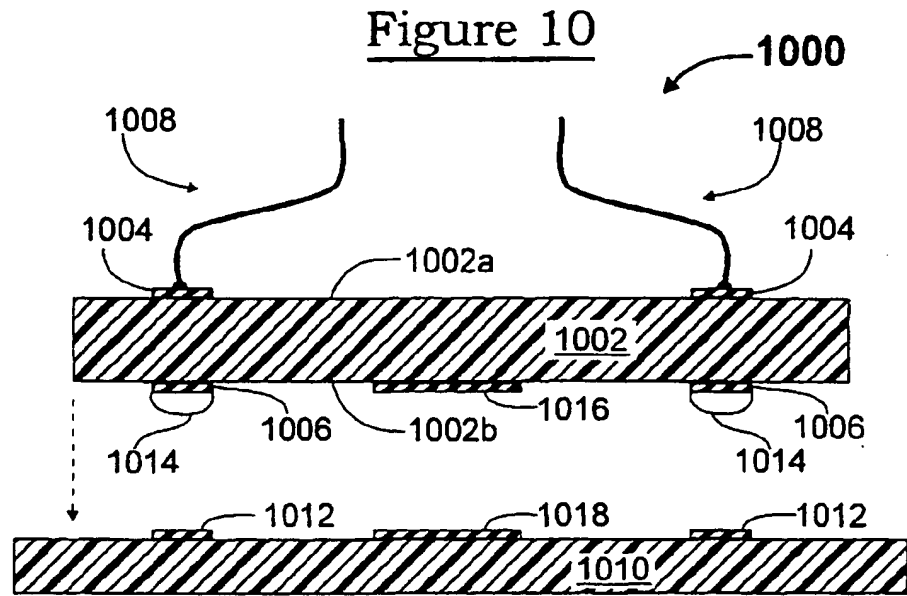


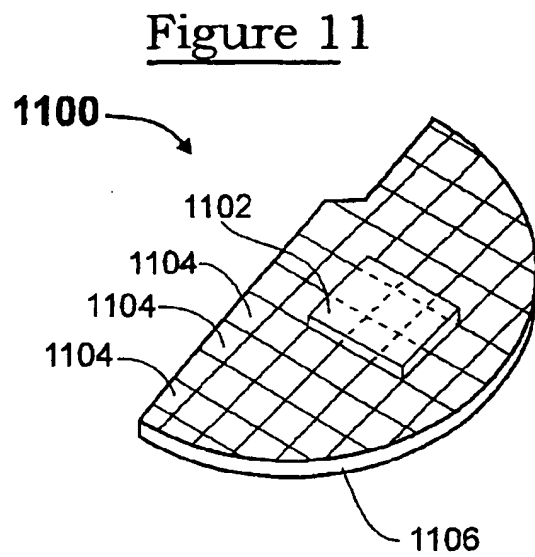
Figure 9C



【図10】



【図11】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/08328

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6) : Please See Extra Sheet. US CL : Please See Extra Sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : Please See Extra Sheet.		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X — Y	US 5,414,298 A (GRUBE et al.) 09 MAY 1995, see entire document.	1, 3-5, 9, 19, 20, 21, 22, 23, 24, 32, 34-37, 41 and 44 ----- 8 and 33
X	US 3,842,189 A (SOUTHGATE) 15 OCTOBER 1974, see entire document.	34-37
X	US 5,346,861 A (KHANDROS et al.) 13 SEPTEMBER 1994, see entire document.	38 and 40
X	US 5,230,632 A (BAUMBERGER et al.) 27 JULY 1993, see entire document.	38-40
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with this application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step, when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 20 APRIL 1997		Date of mailing of the international search report 25 APR 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer DONALD A. SPARKS Telephone No. (703) 308-1756

Form PCT/ISA/210 (second sheet)(July 1992)*

フロントページの続き

- (31)優先権主張番号 08/533, 584
(32)優先日 1995年10月18日
(33)優先権主張国 米国 (US)
(31)優先権主張番号 08/554, 902
(32)優先日 1995年11月9日
(33)優先権主張国 米国 (US)
(31)優先権主張番号 PCT/US95/14909
(32)優先日 1995年11月13日
(33)優先権主張国 米国 (US)
(31)優先権主張番号 08/558, 332
(32)優先日 1995年11月15日
(33)優先権主張国 米国 (US)
(31)優先権主張番号 08/602, 179
(32)優先日 1996年2月15日
(33)優先権主張国 米国 (US)
(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TT, UA, UG, US, UZ, VN
(72)発明者 スミス, ウィリアム, デイ
アメリカ合衆国カリフォルニア州94588,
ブリーザントン, シー106, ストーンリッ
ジ・マール・ロード・6270

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/08328

A. CLASSIFICATION OF SUBJECT MATTER:
IPC (6):

B05D 5/12; B23K 31/02; G01R 31/26; H01L 21/44, 23/48, 23/485, 23/49, 23/498, 23/50; H01R 9/09, 9/11, 43/02;
H05K 1/11, 7/02

A. CLASSIFICATION OF SUBJECT MATTER:
US CL :

29/827, 829, 832, 838, 840, 842, 843, 844, 850, 854, 881, 882, 884, 885; 174/52.1, 52.4; 228/179.1, 180.1, 180.21,
180.5; 257/666, 668, 672, 676, 677, 692, 696, 700, 735, 736, 741, 748, 750, 759, 779, 781, 784, 785; 324/537, 765;
361/760, 767-774, 776, 779, 783, 792-795, 807, 809; 427/96, 117, 118, 123, 126.1; 437/180, 182-184, 189, 192, 195,
203, 209, 220; 439/66, 68, 69, 81, 83, 85, 91

B. FIELDS SEARCHED

Minimum documentation searched

Classification System: U.S.

29/827, 829, 832, 838, 840, 842, 843, 844, 850, 854, 881, 882, 884, 885; 174/52.1, 52.4; 228/179.1, 180.1, 180.21,
180.5; 257/666, 668, 672, 676, 677, 692, 696, 700, 735, 736, 741, 748, 750, 759, 779, 781, 784, 785; 324/537, 765;
361/760, 767-774, 776, 779, 783, 792-795, 807, 809; 427/96, 117, 118, 123, 126.1; 437/180, 182-184, 189, 192, 195,
203, 209, 220; 439/66, 68, 69, 81, 83, 85, 91